



# Projet DAQGEN

## Présentation

J.P. Cachemiche  
Centre de Physique des Particules de Marseille

# Le Projet DAQGEN

## - Contexte

- Motivation
- Développements similaires
- Points clés du développement
- Continuité par rapport aux actions réseau DAQ
- Organisation du développement
- Status
- Ouverture vers autres réseaux
- Élargissement

## - Développement

- Architecture du système
- Développements requis
- Difficultés rencontrées
- Réorientation développements
- Status
- Accessibilité des résultats

## - Disponibilité

- Carte Oxygen
- White Rabbit
- Slow contrôle Ipbus
- IPMI
- PCIe

# Motivations

## Projet transverse

- Fédérer le savoir faire xTCA du réseau DAQ dans un objet concret
- Servir de plate-forme de référence pour les solutions communes déjà choisies par le réseau
- Permettre aux nouveaux groupes souhaitant développer dans ce standard d'accélérer la prise en main
  - Hardware, firmware, software librement accessible
- Servir de plate-forme de développement rapide
- Ouverture vers les autres réseaux

# Développements similaires

## Carte GLIB du CERN

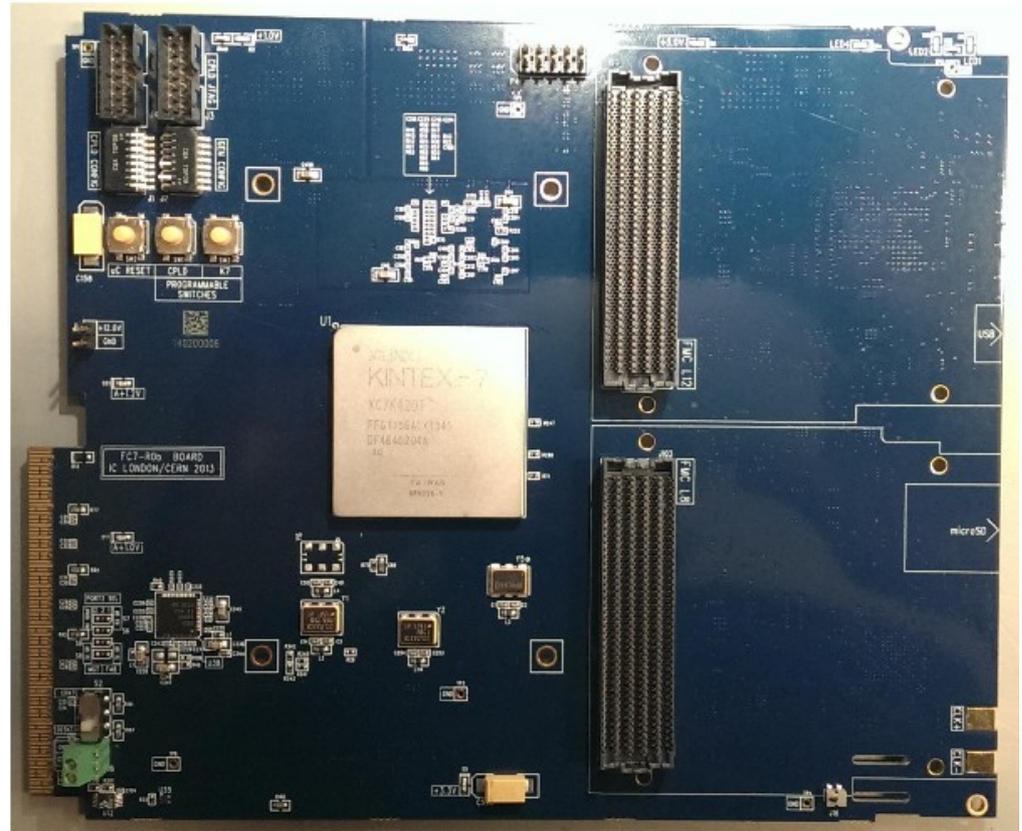
- 2 connecteurs FMC
- 4 E/S SFP+ natives
- 2\*2 Mbytes DRAM
- FPGA Virtex 6 (XC6VLX130T) de Xilinx 128 kLE
- Coût approximatif : 3000 €



# Développements similaires

## Carte FC7 du CERN

- 2 connecteurs FMC
- 4 Gbytes DDR3
- FPGA Kintex 7 (XC7K480T) de Xilinx 478 kLE
- Coût approximatif : 6000 €



# Points clés du développement

## Par rapport aux solutions décrites précédemment :

- Système d'acquisition complet
- Universalité : Intel/Xilinx
  - Pas d'exclusion d'une partie de la communauté
- Compatible xTCA for Physics

## Points clés

- Flexibilité
  - Utilisation de cartes filles du commerce pour customizer
- Modularité
  - Possibilité de construire un DAQ de complexité moyenne par ajustement du nombre de cartes
- Doit adresser tous les points de la chaîne d'acquisition,
  - Interface front-end
  - Distribution temporelle
  - Concentration et acquisition jusqu'au PC
  - Slow control

- Bas coût

# Continuité par rapport aux actions du réseau DAQ

## Travail d'élagage du standard xTCA opéré par le réseau DAQ afin d'augmenter l'interopérabilité des développements

- Solution commune hardware et firmware pour la surveillance en temps réel de l'état du système : IPMI
- Slow control commun : IPbus
- Mode de concentration des données commun : PCIe
- Mode de distribution temporel commun : WR
- Décision de réaliser une carte AMC commune

## DAQGEN

- Système commun intégrant l'ensemble de ces concepts

# Organisation du développement

## Responsabilités initiales

Tâche	Laboratoire	Contact
Spécification du système	CPPM	Jean-Pierre Cachemiche
Maîtrise d'oeuvre	LAL	Daniel Charlet
Conception carte AMC Intel	LAL	Daniel Charlet
Conception carte AMC Xilinx	LPSC	Olivier Bourrion
Conception carte 10 GbE	LPC Caen	David Etasse
Conception hub WR	LPSC	Olivier Bourrion
Intégration et tests	LAL	Daniel Charlet
Software IPMI	LPSC	Olivier Bourrion
Software Slow Control Ipbus	LPSC	Damien Tourrès

- Routage des cartes fait par le laboratoire qui en est responsable

**Utilisation de Gitlab et Atrium pour specs, dessins, nomenclatures, logiciels, etc ...**

**Utilisation des bibliothèques communes de l'IN2P3**

# Ouverture vers autres réseaux

## Contacts préliminaires établis avant la rédaction de la proposition

- Réseau Informaticiens
- Réseau Contrôle/Commande

## Architecture déjà élargie pour prendre en compte les besoins du réseau informatique

- Ajout d'un interfaçage via 40 ou 100 GbE

# Elargissement du projet

## Participation du CENBG

- Firmwares d'acquisition

## Participation du CSNSM

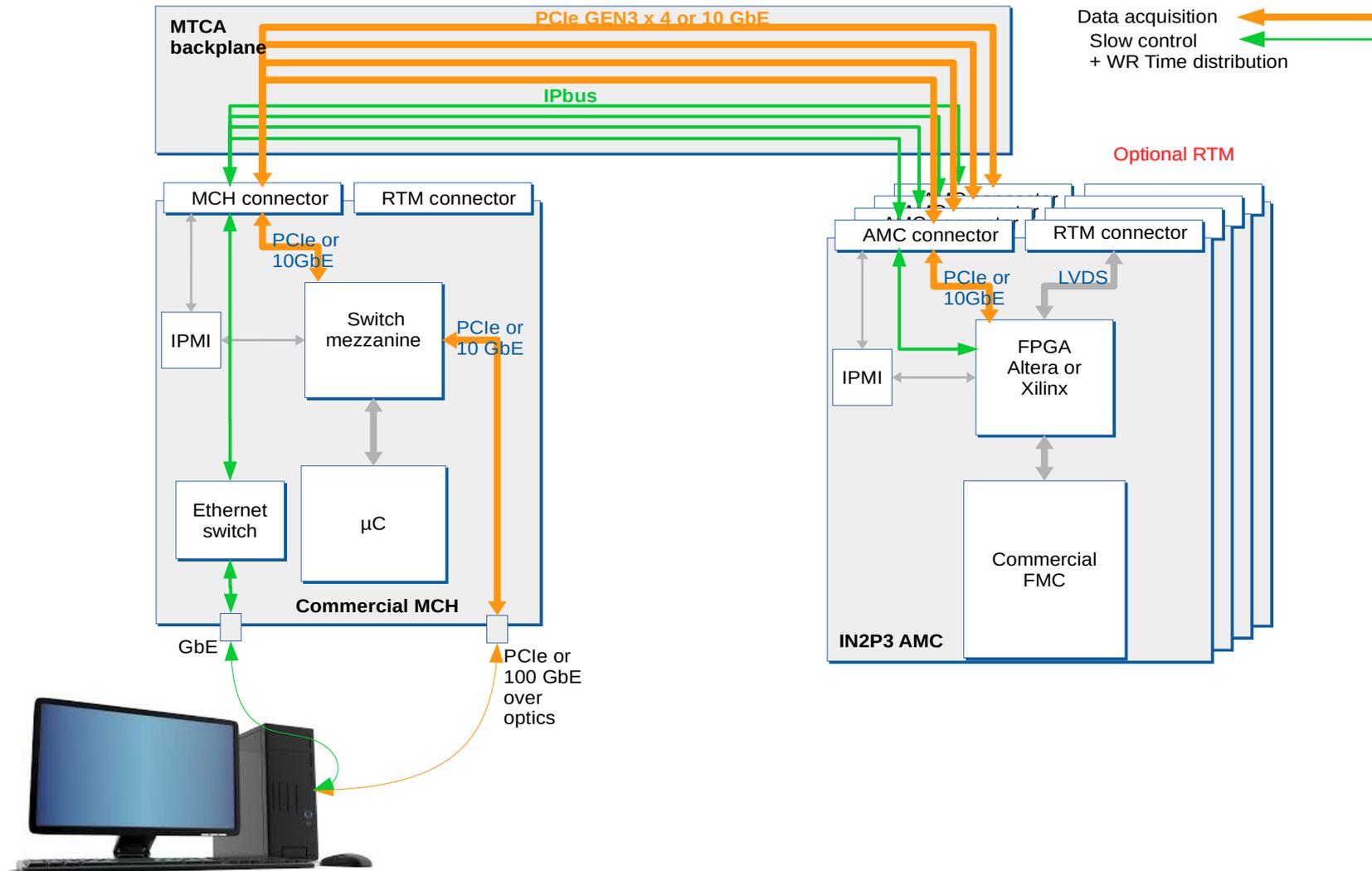
- ENX : surcouche d'IPbus
- DECOD : ensemble de softwares d'acquisition de haut niveau
- Passerelles vers d'autres systèmes de haut niveau (EPICS, OPC-UA, ...) ?

## Participation de l'IPHC

- Bibliothèque de composants réutilisables

- **Contexte**
  - Motivation
  - Développements similaires
  - Points clés du développement
  - Continuité par rapport aux actions réseau DAQ
  - Organisation du développement
  - Status
  - Ouverture vers autres réseaux
  - Élargissement
- **Développement**
  - Architecture du système
  - Développements requis
  - Difficultés rencontrées
  - Réorientation développements
  - Status
  - Accessibilité des résultats
- **Disponibilité**
  - Carte Oxygen
  - White Rabbit
  - Slow contrôle Ipbus
  - IPMI
  - PCIe

# Architecture initiale du système



# Développements requis

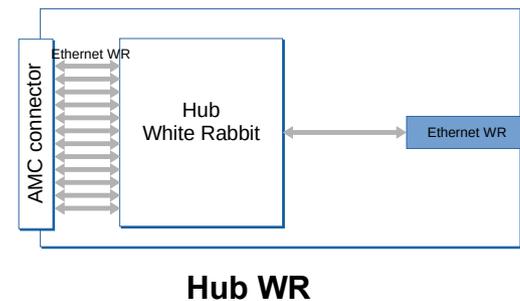
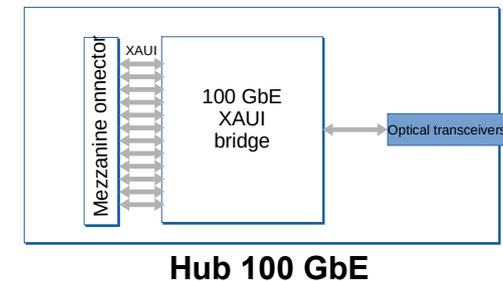
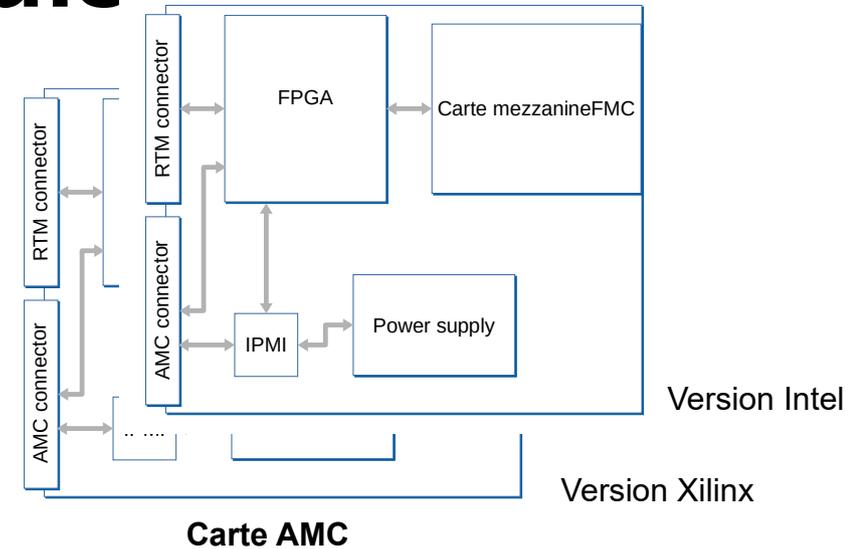
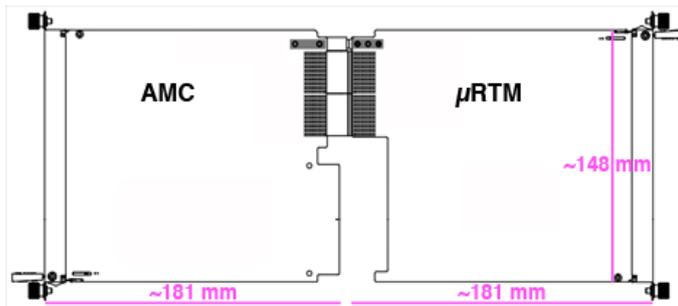
## Cartes existantes

- Carte MCH
- Hub PCIe sur MCH

## Cartes à développer

- Cartes d'aquisition Intel + Xilinx
- Carte Hub 40 ou 100 GbE
  - En carte fille de la carte MCH
- Carte Hub White Rabbit

## Format



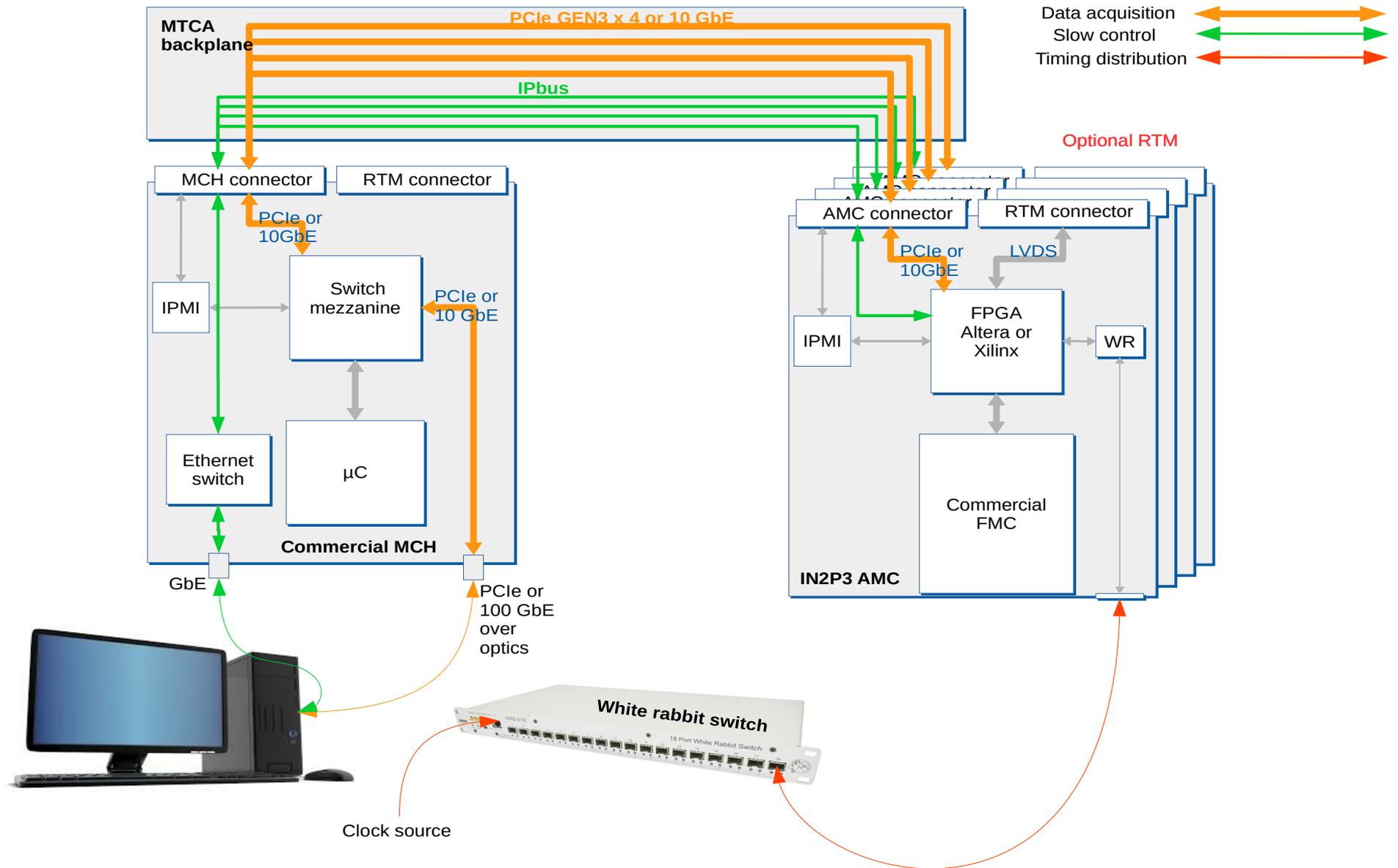
# Difficultés rencontrées

## Distribution temporelle

- Basée sur White Rabbit
- Facilement superposable sur IPbus, même si pas d'implémentation connue
- Mais besoin d'un hub WR
- 4 solutions possibles :
  - Développement d'une carte hub WR sur slot MCH distribuant directement les clocks sur backplane
    - ➔ Peu précis – requiert une caractérisation de chaque backplane
  - Développement d'une carte hub WR sur slot MCH et propageant WR jusqu'aux cartes AMC
    - ➔ Développements faits au CERN difficilement récupérables - peu documenté.
  - WR inclus sur carte MCH du commerce
    - ➔ Aucun fabricant trouvé – NAT intéressé mais a abandonné pour les raisons citées plus haut.
  - Hub WR externe de Seven solutions
    - ➔ **Solution actuelle**
    - ➔ En fait carte AMC encapsulée



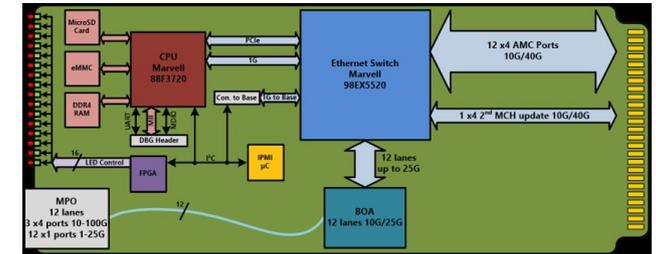
# Architecture modifiée



# Réorientation développement

## Hub 100G Ethernet

- Pré-étude commencée mais ...
- Annonce pour fin d'année d'une carte NAT avec 12 interfaces 10 GbE sur backplane et une interface 100GbE
  - **Développement arrêté**
- Développement d'une carte basée sur un MPPA Kalray annoncé par LPC Caen
  - **Conception et financement en dehors de DAQGEN**
  - Mais compatibilité fonctionnelle avec DAQGEN
  - Peut interfacer un bus 40/100GbE en effectuant des traitements parallèles massifs auparavant.



## Développement d'une carte ADC

- Format FMC, connectable sur IDROGEN
- 10 Giga Samples par seconde
- Dynamique = 14 bits

# Status

## Cartes d'acquisition

- IDROGEN (Intel Data Read Out for DAQGen)
  - Debug en cours
- OXIGEN (read Out Xilinx for DAQGen)
  - Démarrage prévu automne 2019

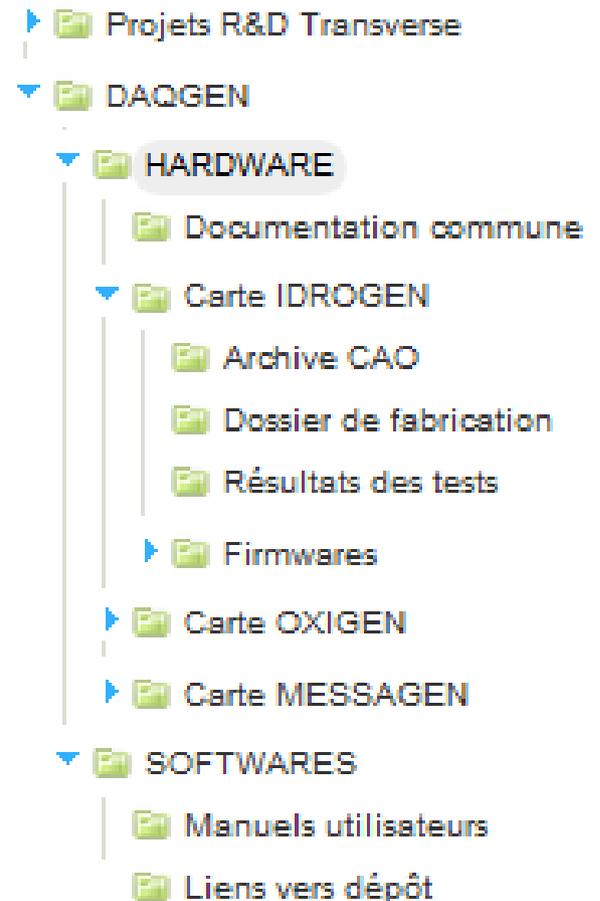
## Software

- Slow Control IP bus
  - Disponible
- Supervision de l'état du système via IPMI
  - Disponible
- Slow control IPMI
  - Disponible
- PCIe
  - En cours
- Ethernet
  - A venir

# Projet open source

## Documentations accessible sous Atrium

- Open source pour les labos IN2P3
  - Schémas
  - Firmwares
  - Softwares
- Tous les composants basés sur bibliothèque IN2P3

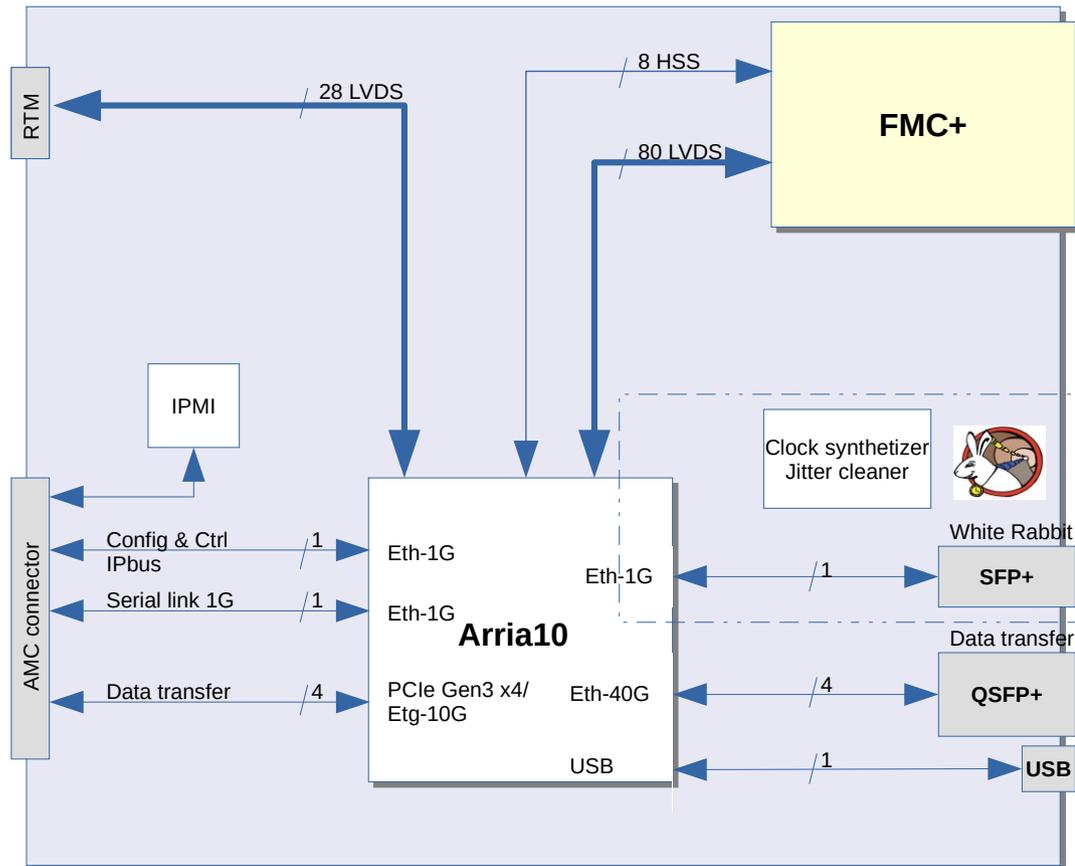


- Documentations :  
<https://atrium.in2p3.fr/0aef2c34-81d4-4547-b233-efb57d901b72>
- Git :  
<https://gitlab.in2p3.fr/DAQGEN>

- **Contexte**
  - Motivation
  - Développements similaires
  - Points clés du développement
  - Continuité par rapport aux actions réseau DAQ
  - Organisation du développement
  - Status
  - Ouverture vers autres réseaux
  - Élargissement
- **Développement**
  - Architecture du système
  - Développements requis
  - Difficultés rencontrées
  - Réorientation développements
  - Status
  - Accessibilité des résultats
- **Disponibilité**
  - Carte Oxygen
  - White Rabbit
  - Slow contrôle Ipbus
  - IPMI
  - PCIe

# Carte IDROGEN

## Principales caractéristiques

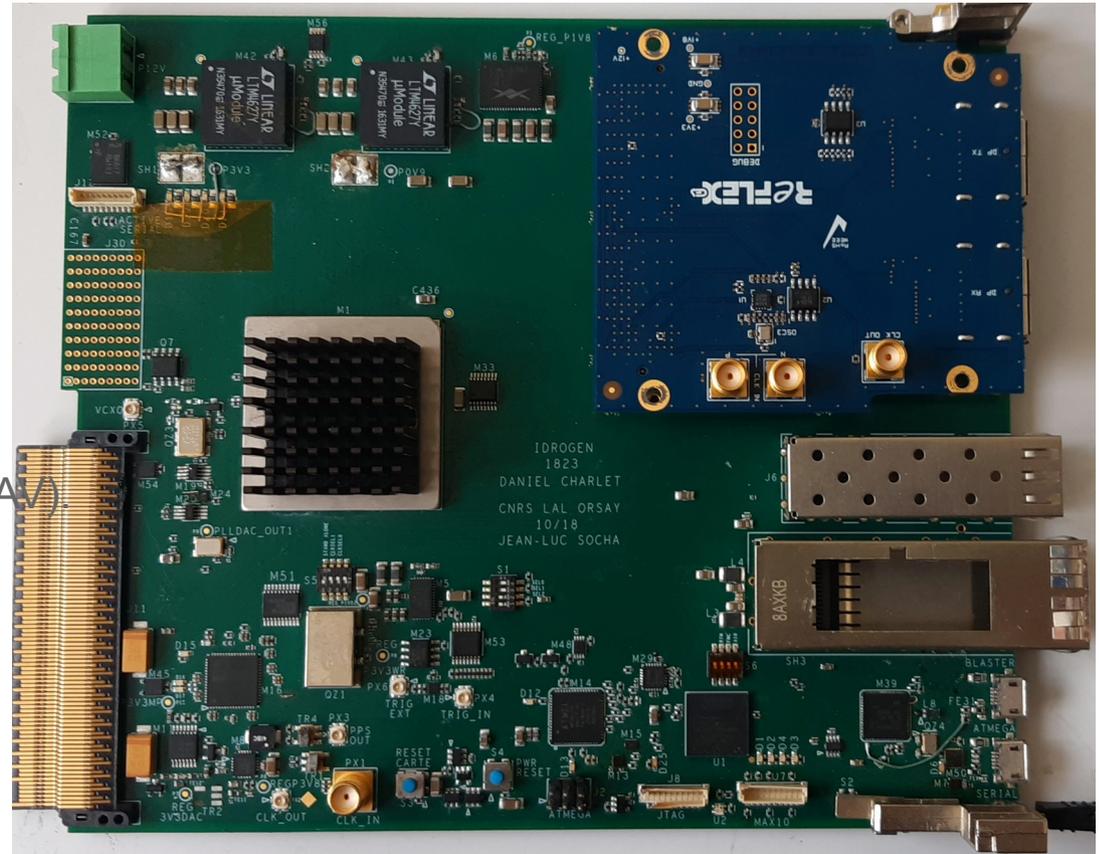


- Format carte :
  - MTCA 4.0 standard, Double-width, full size AMC.
- Low cost FPGA
  - Arria10 10GX027H4F34 (270 KLE)
- Connectivité avec front-ends
  - Interface customisable VITA57.1 (FMC) slot (80 LVDS + 8 liens sériels)
  - RTM connector :28 LVDS
- Connectivité avec CPU
  - 1GbE Ipbus pour slow control,
  - PCIe Gen3 x4 pour readout,
  - IPMI, CLK & trigger lane.
- Connectivité face avant :
  - SFP+ pour White Rabbit
  - QSFP+ 40G, USB pour fonctionnement stand alone

# Carte IDROGEN

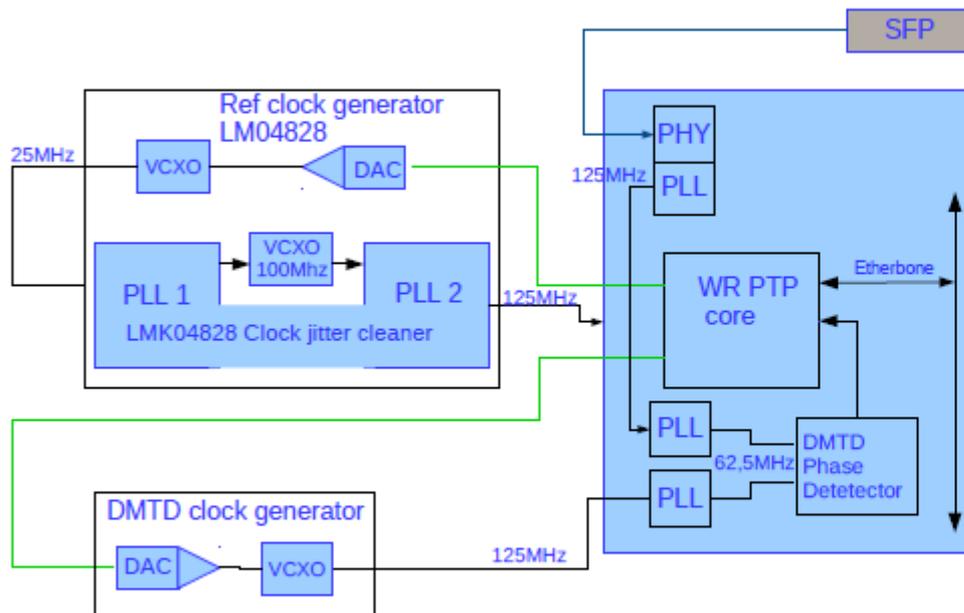
## Status

- 2 cartes de pré-série en cours de cablage
- Test jusqu'à fin 2019
- Lancement production de 10 cartes début février 2020.
  - 5 for PAON IV project (DIMACAM)
  - 1 CPPM, CENBG (IN2P3)
  - 1 IPHC (IPHC)
  - 2 Observatoire de Paris
- Retour : Mai 2020



- Pour plus de détail voir présentation de Daniel Charlet (LAPP):  
[https://indico.in2p3.fr/event/19740/contributions/74911/attachments/55103/72488/IDROGEN-IN2P3-Daq\\_270919\\_v1.pdf](https://indico.in2p3.fr/event/19740/contributions/74911/attachments/55103/72488/IDROGEN-IN2P3-Daq_270919_v1.pdf)

# Design White Rabbit



The WhiteRabbit IDROGEN hardware is based on CERN open hardware with Enhancements

- Based on LMK4828 synthesiser
  - Ultra low noise clock jitter Cleaner with Dual Loop PLL
  - 90fs RMS jitter.
- DDMTD internal of FPGA (placement with constraint)
- Two generated local clock :
  - DDMTD source (comparison between WR master clock from SFP)
  - PLL source with phase adjustment
- **IDROGEN Enhancements**
  - PLL selection
  - VCXO Frequency
  - Input frequency for DDMTD
    - remove of internal PLL (future dev.)
  - Tx/Rx routing equalisation

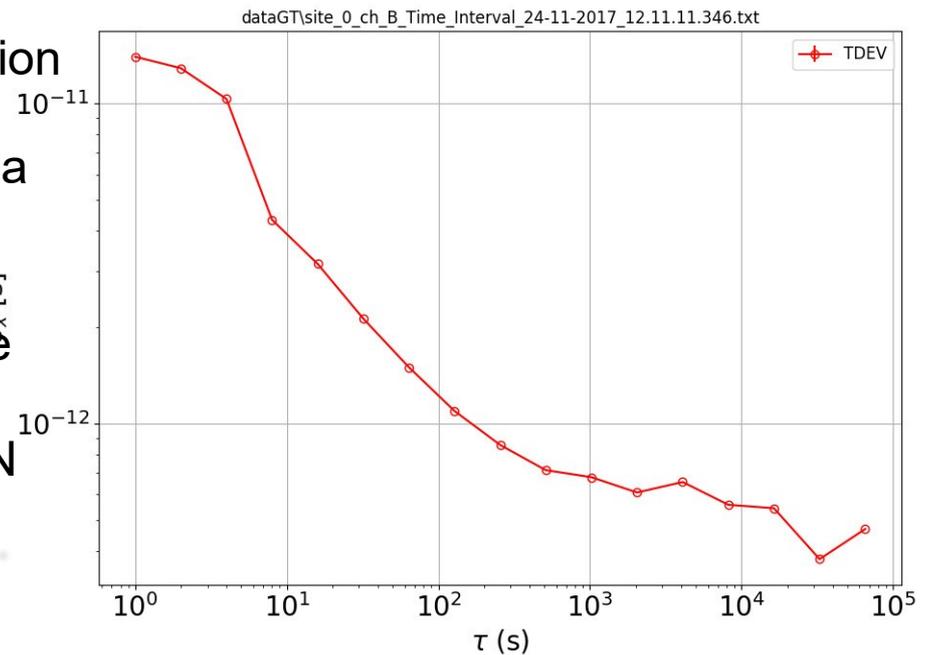
<http://www.ohwr.org/projects/white-rabbit/wiki/WRReferenceDesign>

10

# Design White Rabbit

## Performances

- Mesures effectuées en collaboration avec le laboratoire SYRTE (Obs Paris INSU) sur carte Nebula
- **400 fs** after 1000 s and 1 km fibre
- Même design sur carte IDROGEN
- Non encore testé



- Pour plus de détail voir présentation de Daniel Charlet (LAPP):  
[https://indico.in2p3.fr/event/19740/contributions/74914/attachments/55104/72489/WhietRabbit-IN2P3-Daq\\_270919.pdf](https://indico.in2p3.fr/event/19740/contributions/74914/attachments/55104/72489/WhietRabbit-IN2P3-Daq_270919.pdf)

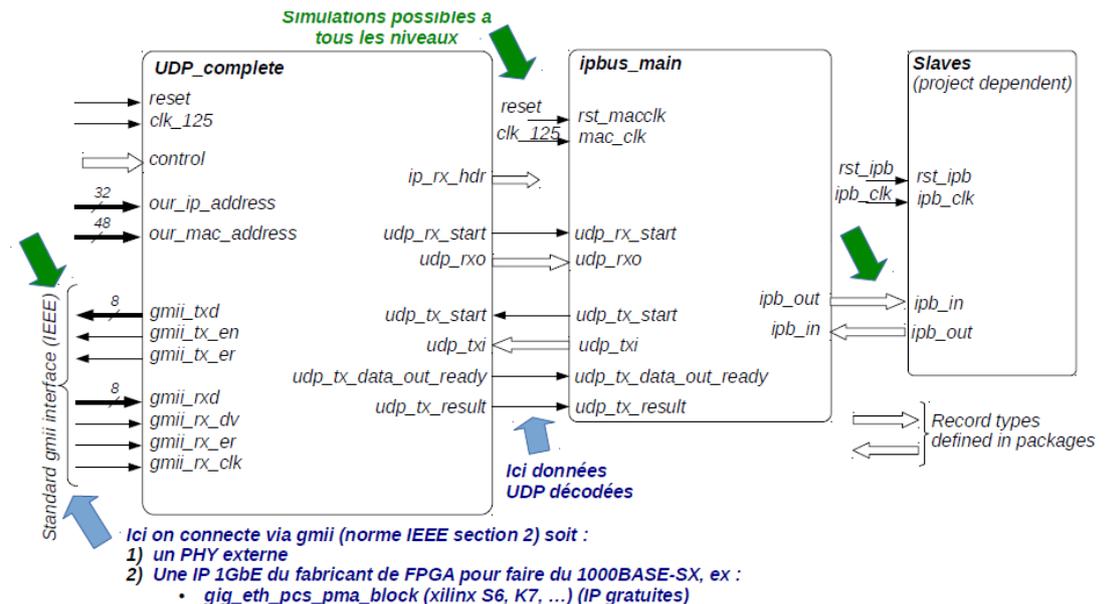
# Slow control IPBus

## IPBus

- Protocole basé sur UDP
- Permet d'accéder les registres du FPGA directement depuis le PC
  - Pas besoin de processeur embarqué ni dans le FPGA, ni sur la carte
  - Empreinte firmware légère

## Design disponible

- 3 blocs :
  - UDP
  - IPbus
  - Interface registres

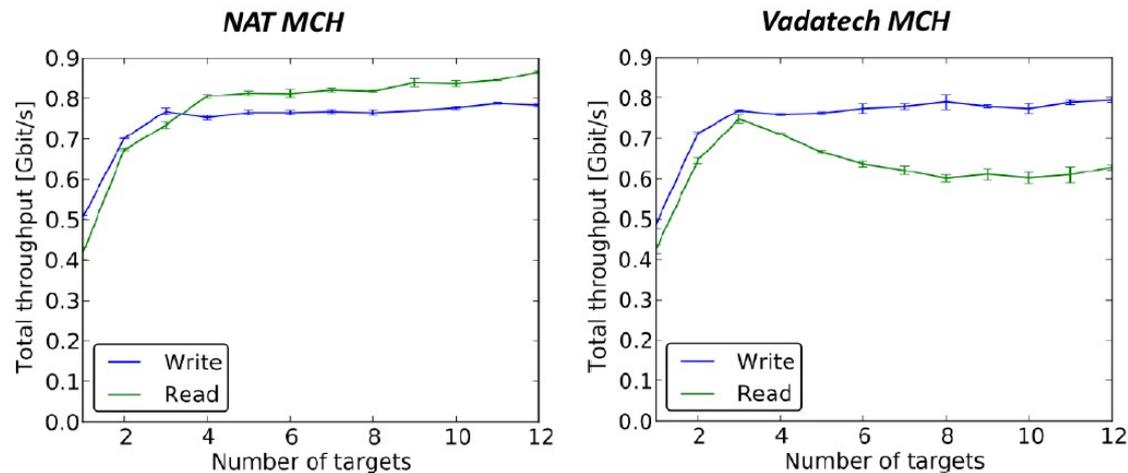


# Slow control IPBus

## Performances

- Entre 600 et 800 Mbits/s
  - Permet d'effectuer le readout du système si débit faible

Mesures effectuées\* avec firmware et logiciel CERN (600 MB transférés).



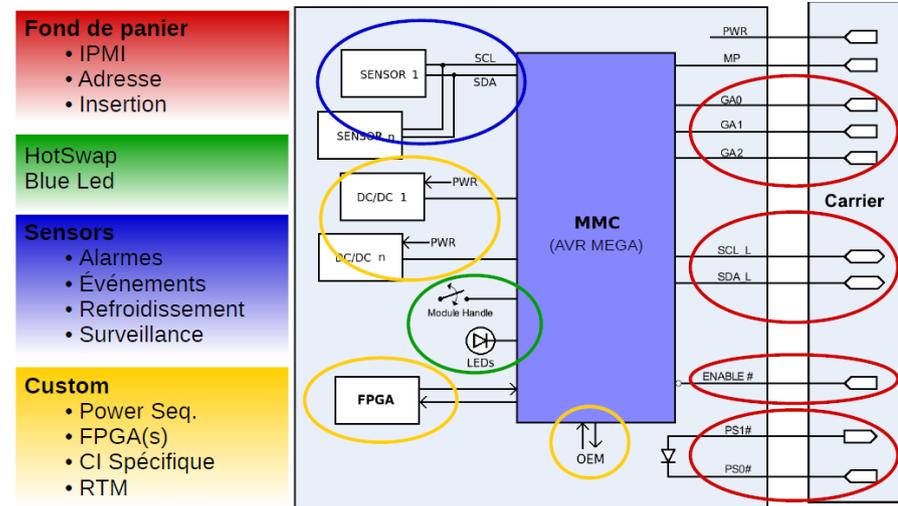
\* Graphes et conditions extraits de <https://indico.cern.ch/event/299180/contributions/1659676/>, Tom Williams, TWEPP-14. Plus de données disponibles.

- Pour plus de détail voir présentation d'Olivier Bourrion (LPSC):  
[https://indico.in2p3.fr/event/19740/contributions/74920/attachments/55096/72477/pres\\_ipbus\\_DAQGEN.pdf](https://indico.in2p3.fr/event/19740/contributions/74920/attachments/55096/72477/pres_ipbus_DAQGEN.pdf)

# IPMI

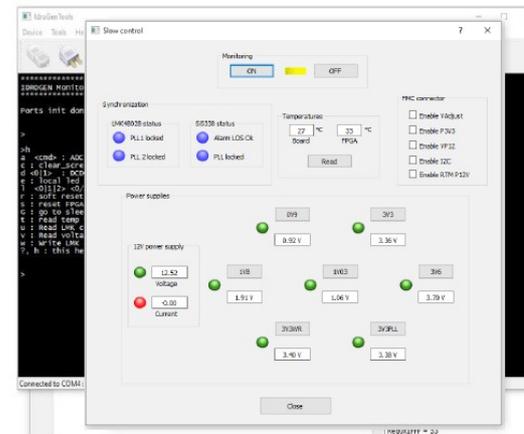
## Le module MMC

- Permet l'alimentation de la carte
- Gère le hot swap
- Empêche les erreurs d'insertion
- Peut surveiller les consommations, températures, etc ...
- Permet un refroidissement dynamique
- Programme les périphériques du FPGA (PLLs)
- Peut programmer le FPGA à distance



D. Tourres - Réseau DAQ 2019

3

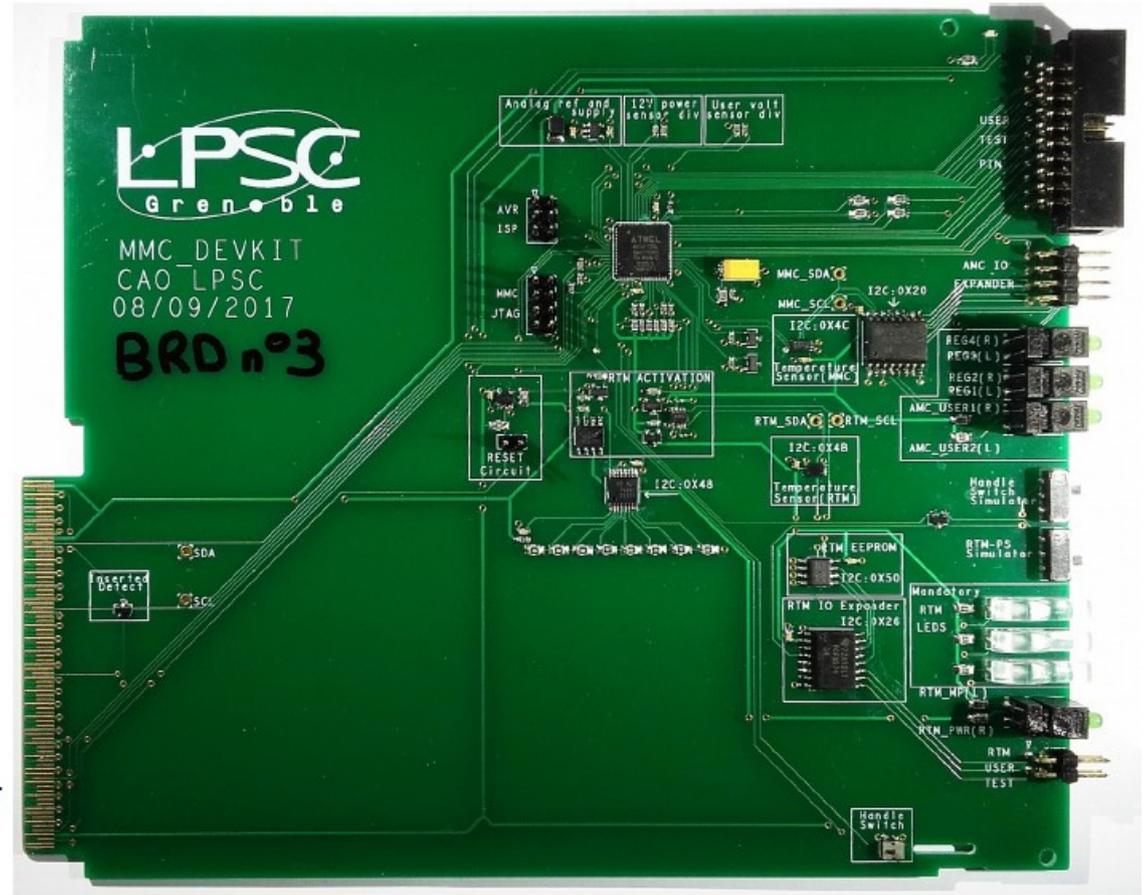


- Fenêtre Slow control
  - Status des 2 PLL
  - Status & control de alimentations
  - Control des températures
    - Carte.
    - FPGA
  - Control des alimentations FMC et RTM

# IPMI

## Carte MMC DevKit et Design de référence

- Faible coût : < 80€ HT (pcb DF + composants)
- 2x ADC ADS7828 I2C (monitoring tensions)
- 2x Capteurs LM75 I2C (monitoring température)
- 2x I/O EXP PCF8574 (I/O supplémentaires)
- Simulateur RTM
- points et connecteurs de test.
- Schéma de référence pour les nouveaux design

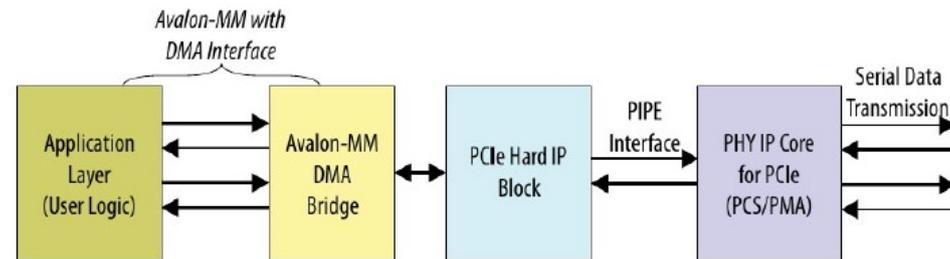


- Pour plus de détail voir présentation de Damien Tourres (LPSC):  
[https://indico.in2p3.fr/event/19740/contributions/74913/attachments/55106/72491/presentation\\_MMC\\_avance\\_-\\_DAQ2019.pdf](https://indico.in2p3.fr/event/19740/contributions/74913/attachments/55106/72491/presentation_MMC_avance_-_DAQ2019.pdf)

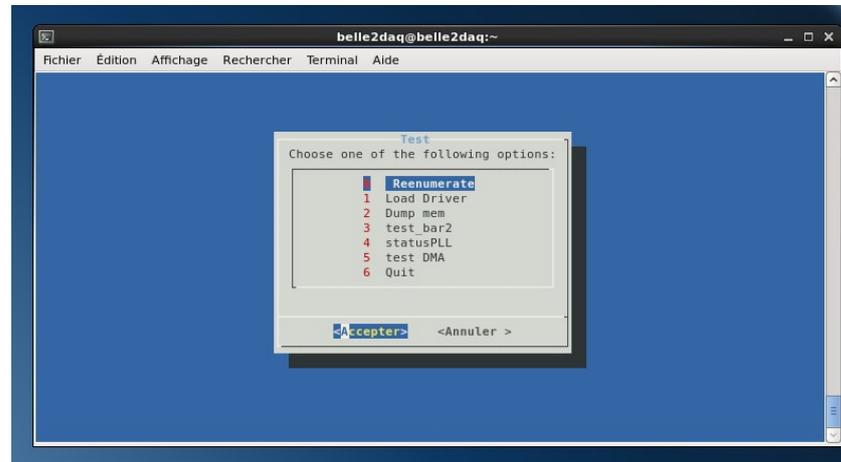
# DMA PCIe

## Basé sur l'IP PCIe d'Intel

- PCIe GEN3 x4



## Sera fourni avec utilitaire de contrôle



- Plus de détails dans la présentation de Monique Taurigna :  
[https://indico.in2p3.fr/event/19740/contributions/74922/attachments/55109/72495/IDROGEN-software-IN2P3-Daq\\_270919.pdf](https://indico.in2p3.fr/event/19740/contributions/74922/attachments/55109/72495/IDROGEN-software-IN2P3-Daq_270919.pdf)

# Conclusion

## Objectifs du projet

- Fournir un ecosystème d'acquisition opérationnel
- Développer les éléments non trouvables dans le commerce
  - ➔ Arrêt du développement Messagen
  - Reconcentration des efforts sur le firmware et le software
  - R&D sur concept Kalray

## Objectif en passe d'être atteint

- Carte IDROGEN disponible début 2020, OXIGEN fin 2020
- Firmwares, softwares disponibles

## Plusieurs projets pourraient utiliser DAQGEN sous sa forme actuelle ou modifiée

- Nebula II
- Temporal
- PICMIC
- Imagerie médicale