

ADC: fondamentaux

Samuel Manen, Laurent Royer



*Ecole d'électronique analogique de l'IN2P3
Roscoff, septembre 2018*

Historique du cours

Années 2000 ...

1^{ers} cours sur les ADCs aux écoles de microélectronique de l'IN2P3 (J.Lecoq, ...)

2008: école élec. analog.
La Londe-les-Maures



2014: école élec. analog.
Fréjus



2018: école élec. analog.
Roscoff



2022



Préambule

- ☐ Un cours ou un retour d'expérience ?
- ☐ Partage/échanges bienvenus
- ☐ ADC rapides ?: un peu mais pas trop
- ☐ ADC plutôt que CAN: Sorry for the anglicismes

- ☐ Corrélation avec d'autres cours: discri., bruit, CEM, ...
- ☐ Tout type d'interruption bienvenu

Sommaire

1^{ère} partie: fondamentaux sur les ADC

❑ Introduction

❑ Caractéristiques des ADC

- Statiques
- Dynamiques

❑ Principales architectures d'ADC

- ADC rampe
- ADC approximation successive
- ADC Flash
- ADC Pipeline
- ADC Sigma delta

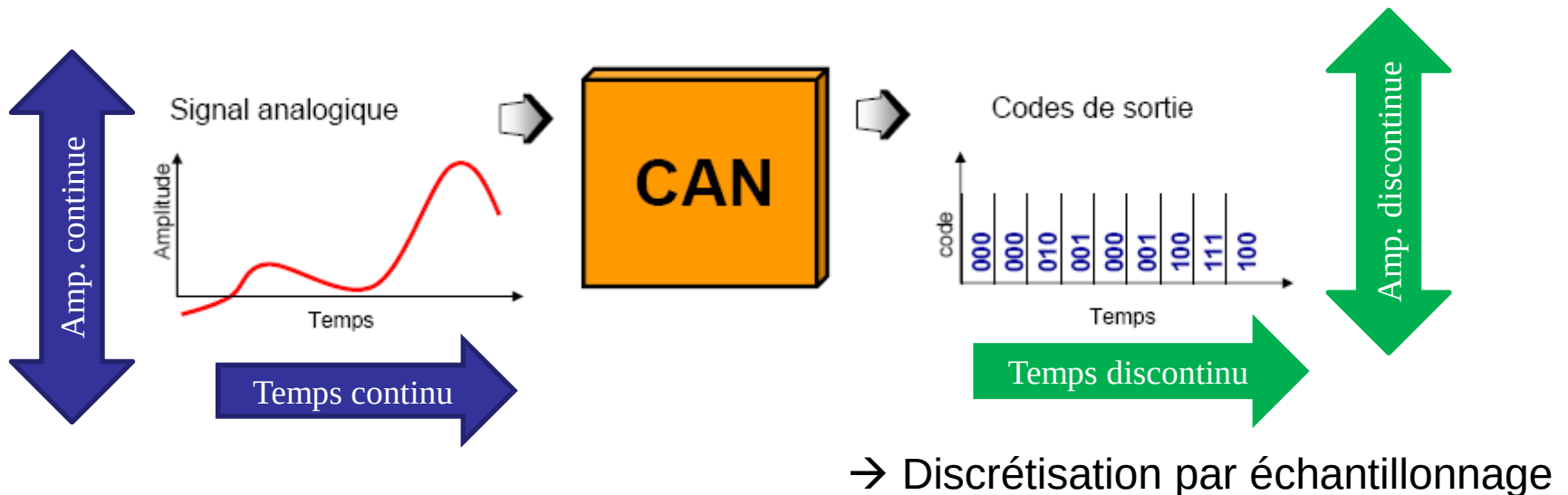
2^{ème} partie: utilisation des ADC

Introduction

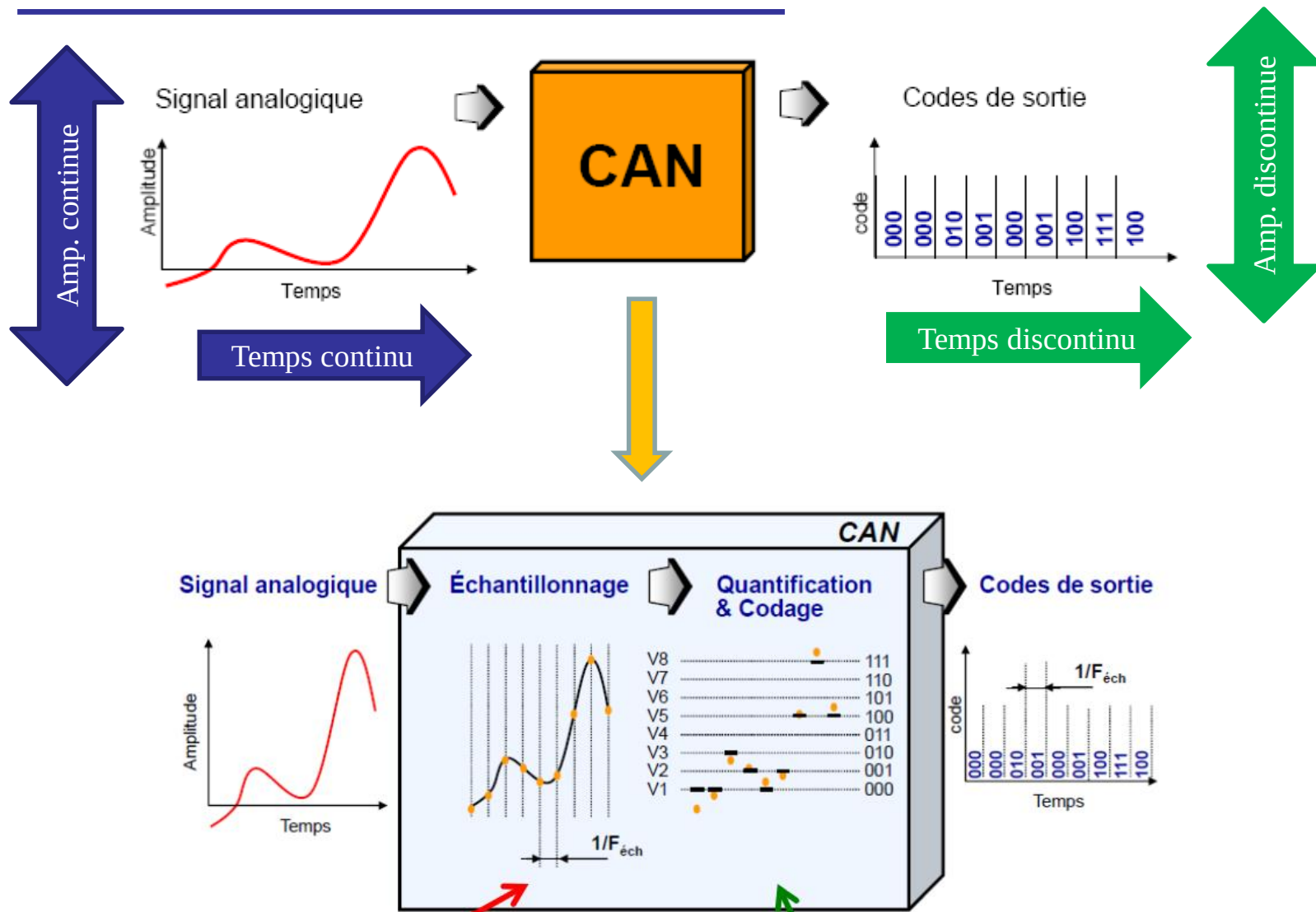
Le principe de la conversion

« Dans une **chaîne de traitement de l'information**, le signal est généralement transmis à un **système d'acquisition**. Pour cela, il est nécessaire de **prélever des échantillons du signal** et de les **convertir en numérique** grâce à un **dispositif de conversion analogique numérique** (CAN ou ADC). »

[Patrick Nayman]: «Bases et techniques avancées en traitement du signal »



Le principe de la conversion



Une discrétisation non sans conséquence ...

- ❑ **Da:** information codée d'un signal analogique en sortie d'un **ADC idéal**

- ❑ **Da ne peut varier que par valeurs discrètes**

$$Da = b_1 \cdot \frac{1}{2} U_{ref} + b_2 \cdot \frac{1}{4} U_{ref} + b_3 \cdot \frac{1}{8} U_{ref} + \dots + b_N \cdot \frac{1}{2^N} U_{ref}$$

avec:

b_i : $i^{\text{ème}}$ bit de sortie de l'ADC (1 à N)

U_{ref} : la gamme dynamique en entrée de l'ADC

- ❑ L'information analogique codée en sortie d'ADC est entachée d'une erreur/incertitude de pondération ϵ :

$$-\frac{1}{2} \cdot \left(\frac{1}{2^N} \cdot U_{ref} \right) \leq \epsilon \leq +\frac{1}{2} \cdot \left(\frac{1}{2^N} \cdot U_{ref} \right)$$

$$\mathbf{-0,5 \text{ LSB} \leq \epsilon \leq +0,5 \text{ LSB}}$$

Rappel: $\text{LSB} = \frac{U_{ref}}{2^N}$

- ❑ Dans le cas d'un convertisseur réel, **d'autres erreurs s'ajoutent.**

... à suivre !!

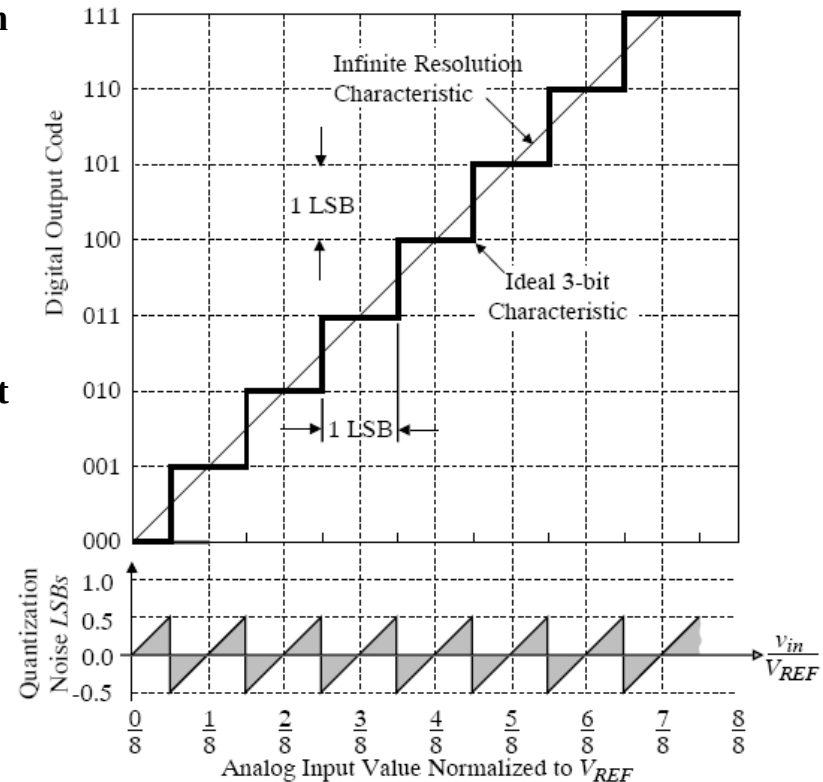
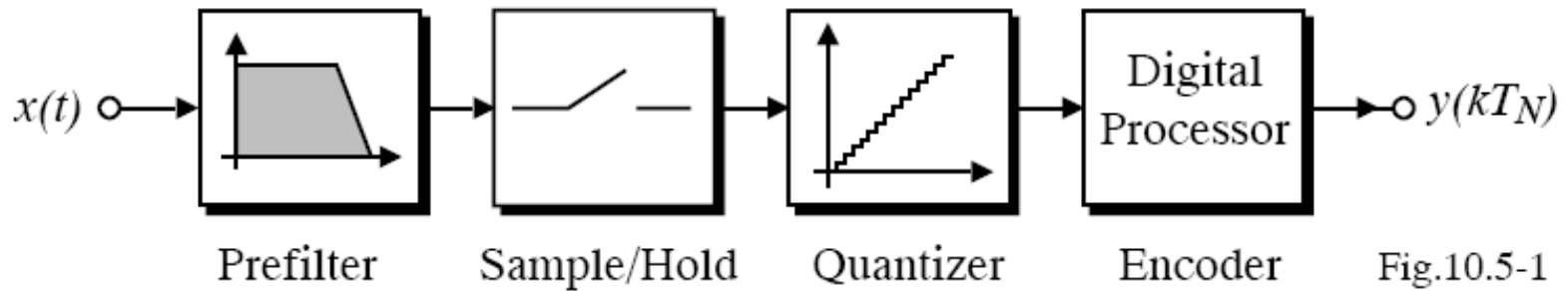


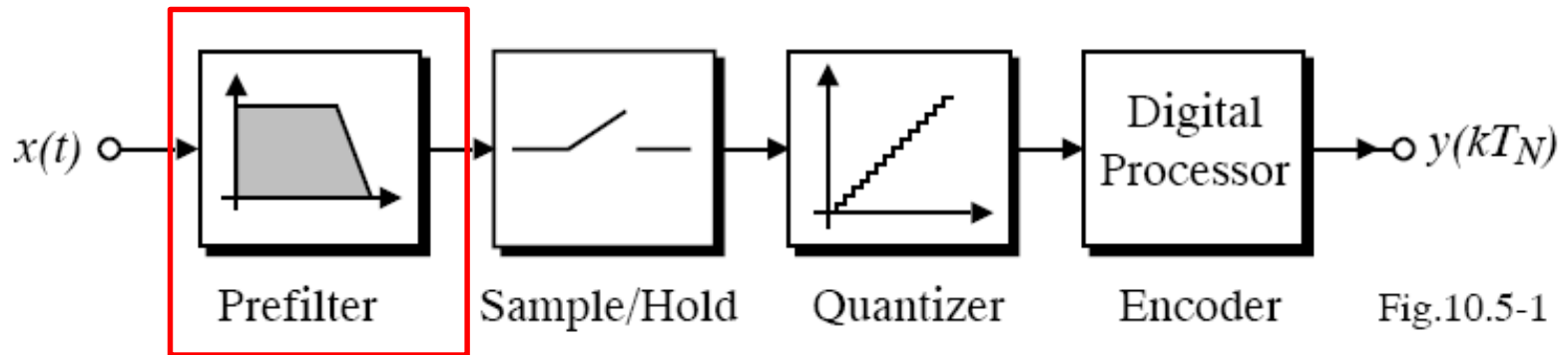
Figure 10.5-3 Ideal input-output characteristics of a 3-bit ADC.

Schéma générique d'un ADC



- ☐ Filtre anti-repliement
- ☐ Suiveur bloqueur
- ☐ Quantification
- ☐ Encodeur

Schéma générique d'un ADC



☒ Filtre anti-repliement

☐ Suiveur bloqueur

☐ Quantification

☐ Encodeur

Rappel: Fréquence de Nyquist

❑ *Echantillonner dans l'espace temps revient à périodiser dans l'espace des fréquences [Patrick Nayman].*

❑ Avec:

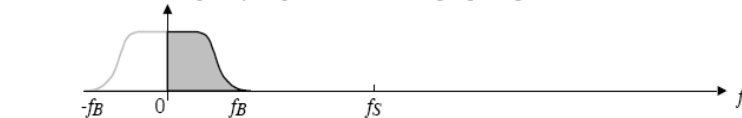
❑ f_S : fréquence d'échantillonnage

❑ f_B : bande passante du signal d'entrée

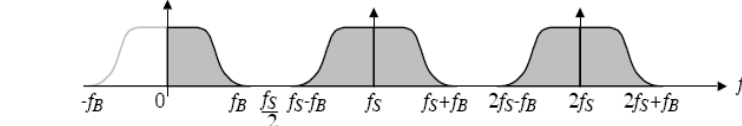
❑ Condition requise pour ne pas avoir de recouvrement/repliement de spectre (théorème de Shannon):

$f_B < 0.5f_S$ ou $f_S > 2f_B$ = fréquence de Nyquist.

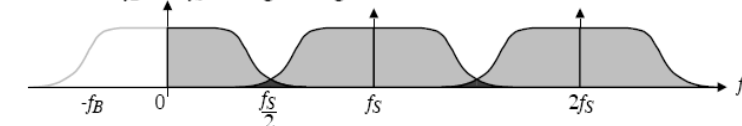
Continuous time frequency response of the analog input signal.



Sampled data equivalent frequency response where $f_B < 0.5f_S$.



Case where $f_B > 0.5f_S$ causing aliasing.



Use of an antialiasing filter to avoid aliasing.

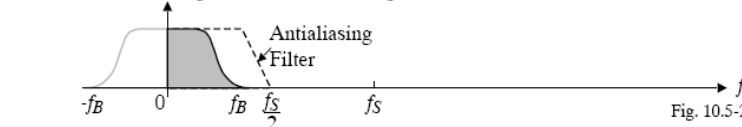


Fig. 10.5-2



Le phénomène engendré par le recouvrement spectral est à rapprocher de l'effet stroboscopique qui apparaît lorsque l'on observe un objet qui se déplace sous un éclairage discontinue [Patrick Nayman]. [vidéo](#)

Schéma générique d'un ADC

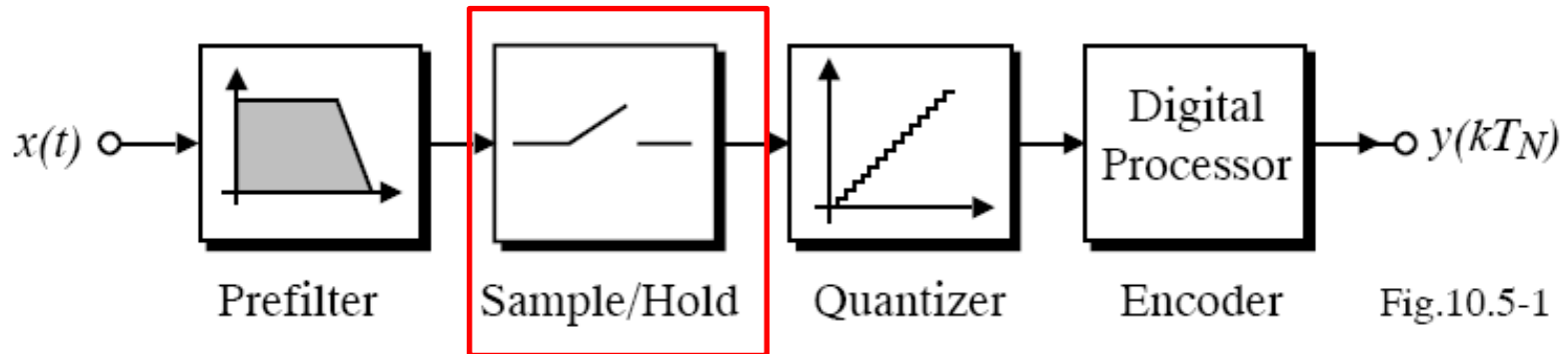
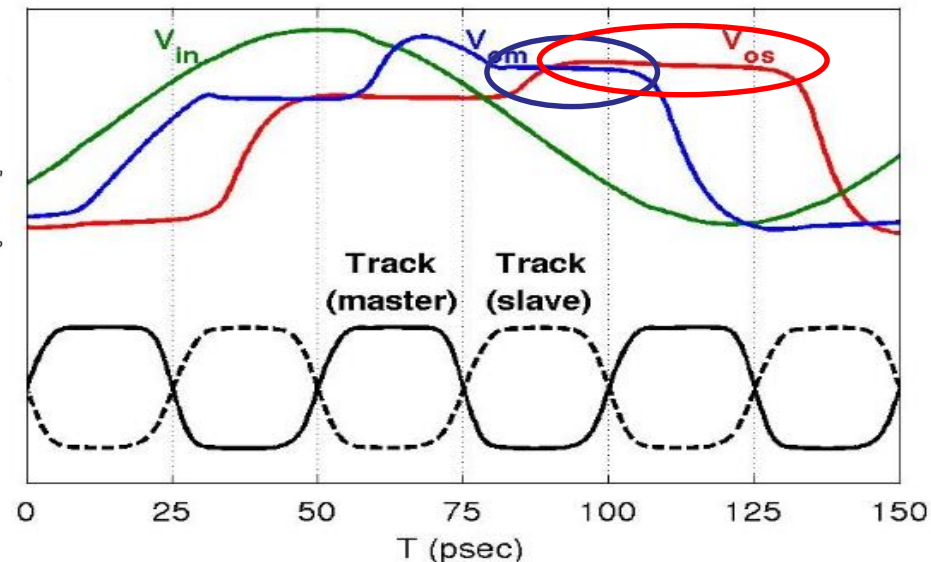
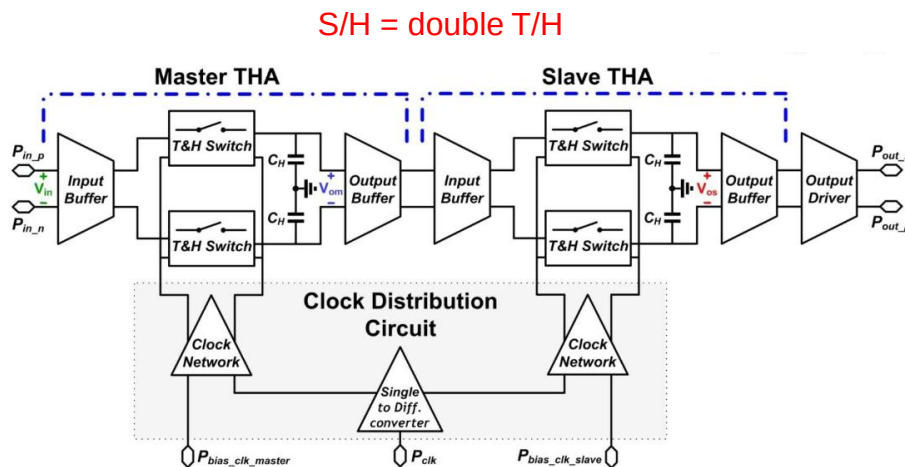
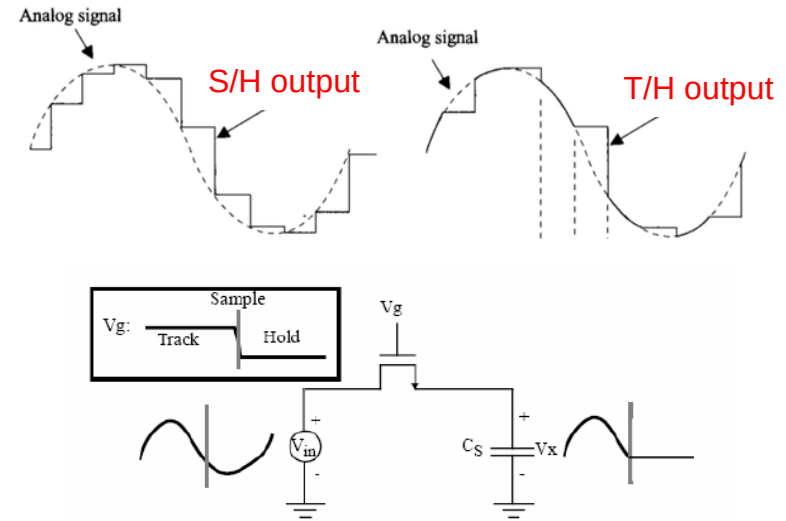


Fig.10.5-1

- ☐ Filtre anti-repliement
- ☒ Suiveur/bloqueur: blocage (mémorisation) du signal d'entrée nécessaire pendant la phase de quantification
- ☐ Quantification
- ☐ Encodeur

Echantillonneur/Bloquer (S/H) vs Suiveur/Bloqueur (T/H)

- ❑ Dans le cas général, T/H utilisé:
 - Phase de suivi/track: charge d'un condensateur par signal d'entrée
 - Phase blocage/hold: ouverture interrupteur, mémorisation tension
- ❑ S/H réservé aux ADC dits rapides
 - S/H constitué de 2 x T/H
 - Le T/H esclave traite le signal bloqué par le T/H maître
 - Meilleure précision car signal plus stable

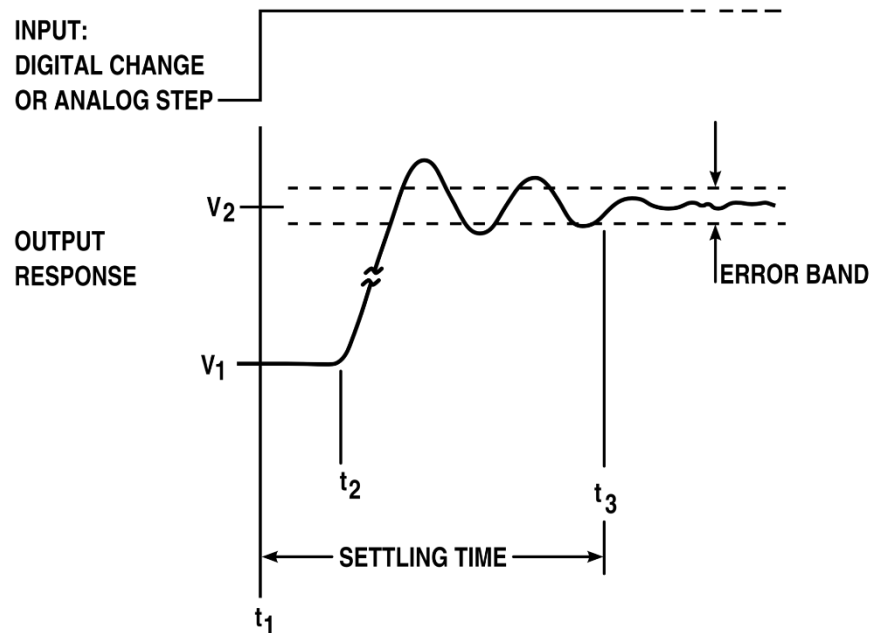


Suiveur/bloqueur: Buffer externe ou interne



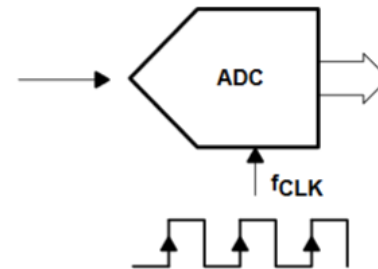
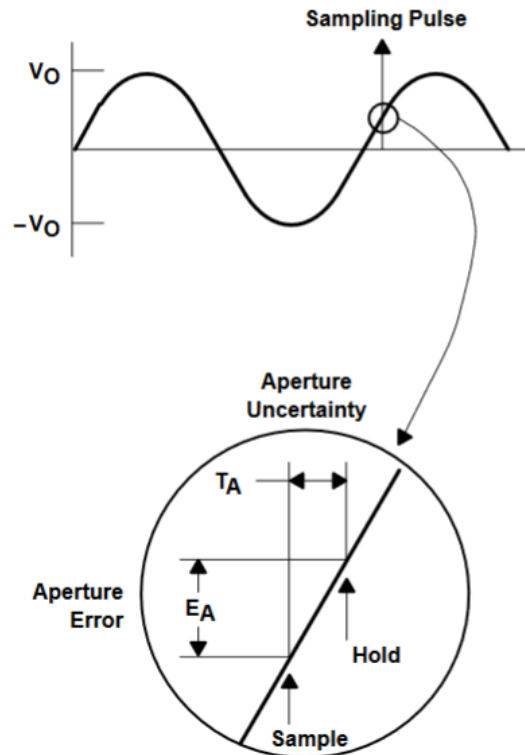
Les buffers externes et internes avant le T/H doivent être suffisamment précis et rapides pour garantir la précision de la conversion

- *Settling time (t_s)* = temps nécessaire pour établir la valeur de tension à la précision souhaitée.



Suiveur bloqueur

- *Aperture time* = temps nécessaire à l'interrupteur d'échantillonnage pour s'ouvrir après la commande.
- *Aperture jitter* = Variations de « aperture time » dues aux variations de l'horloge (jitter), et à l'amplitude du signal d'entrée.



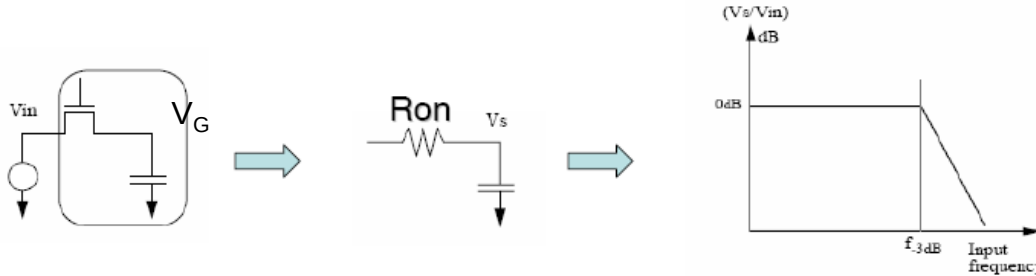
$$\begin{aligned}
 V &= V_O \sin 2\pi f t \\
 \frac{dV}{dt} &= 2\pi f V_O \cos 2\pi f t \\
 \left. \frac{dV}{dt} \right|_{\max} &= 2\pi f V_O \\
 E_A = T_A \frac{dV}{dt} &= 1/2 \text{ LSB} = \frac{2V_O}{2^{n+1}} \\
 \frac{2V_O}{2^{n+1}} &= 2\pi f V_O T_A \Rightarrow \\
 f &= \frac{1}{T_A \pi 2^{n+1}}
 \end{aligned}$$



Fréquence max du signal d'entrée pour une variation T_A et un ADC de N bits

Suiveur/bloqueur: distorsion

□ Variation de R_{on}



$$R_{on} = 1 / \left(K \cdot \frac{W}{L} \cdot (V_{GS} - V_t) \right) \quad \text{so} \quad f_{-3dB} = \frac{1}{2\pi} \cdot \frac{k \cdot \frac{W}{L} \cdot (V_{GS} - V_t)}{C_S}$$

□ $V_{GS} = V_G - V_{in} \rightarrow$ varie suivant le signal d'entrée V_{in}

➤ R_{on} varie avec V_{in}

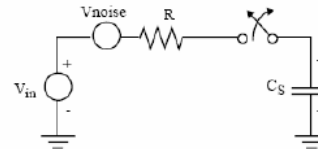
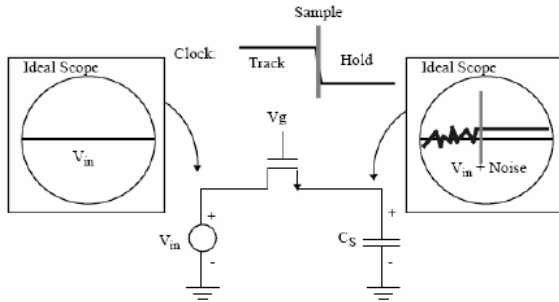
➤ La fréquence de coupure du filtre varie avec $V_{in} \rightarrow$ **distorsion**

□ Exemple:

$$V_{GS} - V_t = 1V, W/L = 10, k = 70 \mu A/V, C_S = 1pF \Rightarrow f_{-3dB} = 100MHz$$

$$V_{GS} - V_t = 2V, W/L = 10, k = 70 \mu A/V, C_S = 1pF \Rightarrow f_{-3dB} = 200MHz$$

Suiveur/bloqueur: bruit



C	$\sigma = \sqrt{kT/C}$
0.01pF	640μV
1pF	64μV
100pF	6.4μV

RMS values for different sampling capacitor values at T=300K (27dg)

➤ Bruit induit par la résistance équivalente (R) du T/H (inter. fermé):

$$v^{-2} = \int_0^{\infty} 4kTR \frac{df}{|1 + RCp|^2} = 4kTR \int_0^{\infty} \frac{df}{1 + (2\pi RCf)^2} = 4kTR \cdot \frac{1}{2\pi RC} \int_0^{\infty} \frac{du}{1 + u^2} = 4kTR \cdot \frac{1}{2\pi RC} [\arctgu]_0^{\infty} = 4kTR \cdot \frac{1}{4RC}$$

$v_{rms} = \sqrt{kT/C}$

Equivalent noise bandwidth

➤ Le bruit thermique du T/H est additionné au signal échantillonné par le switch MOS.

➤ Le bruit ne dépend pas de R, mais que de C !!

➔ Bruit ↓ → C ↑ → ↑ charge vue depuis le buffer

Suiveur/bloqueur: Capa. d'entrée



Vérifier la capacité d'entrée de l'ADC

Exemple:



**ANALOG
DEVICES**

18-Bit, 2 MSPS/1 MSPS/500 kSPS,
Precision, Pseudo Differential, SAR ADCs

Data Sheet

AD4002/AD4006/AD4010

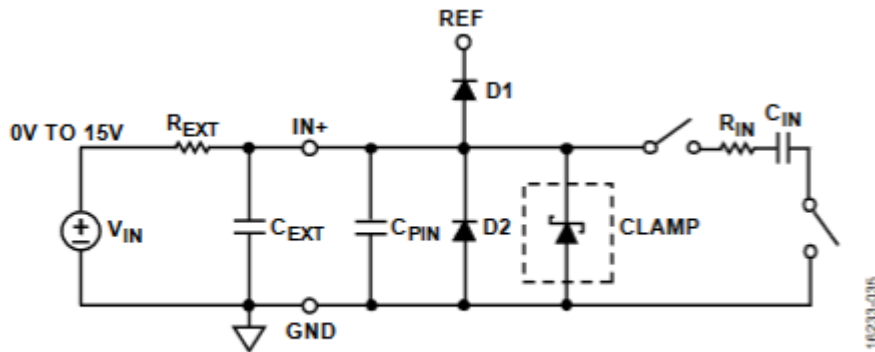


Figure 35. Equivalent Analog Input Circuit

Switched Capacitor Input

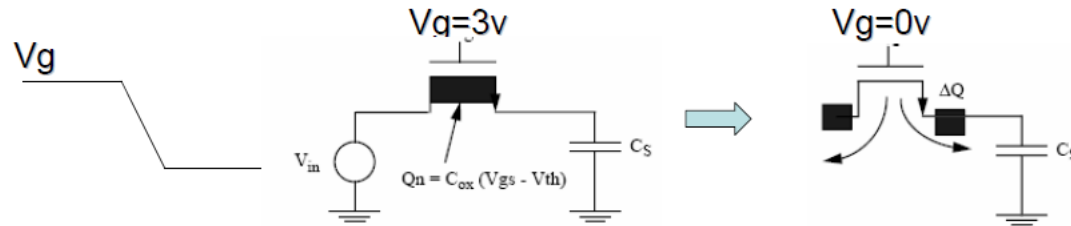
During the acquisition phase, the impedance of the analog inputs (IN+ or IN-) can be modeled as a parallel combination of Capacitor C_{PIN} and the network formed by the series connection of R_{IN} and C_{IN} . C_{PIN} is primarily the pin capacitance. R_{IN} is typically $400\ \Omega$ and is a lumped component composed of serial resistors and the on resistance of the switches. C_{IN} is typically $40\ \text{pF}$ and is mainly the ADC sampling capacitor.

18 bits → Bruit KT/C pour $\frac{1}{2}$ LSB: $C_{min}=20\text{pF}$

Ex: courant pour charger 5V sur 40pF en 1 μ s= 200 μ A à courant constant

Suiveur bloqueur: injection de charge

Charge injection phenomena



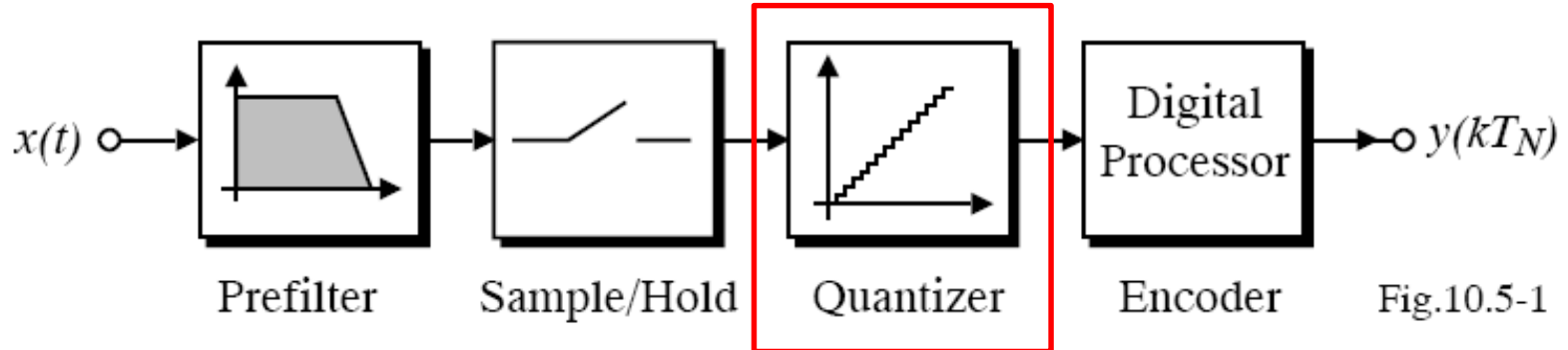
When input signal is sampled on a capacitor by turning off the transistor, charge Q_n is pushed out from the channel to either direction, and part of it is dumped on C_s causing an error voltage of $\Delta Q/C_s$. The magnitude of ΔQ is a complex function of the falling time of the sampling clock edge and impedance level at drain/source. ΔQ is very close to 50% of Q_n .

Charge injection error is signal dependant (ΔQ is proportional to $C_{ox}(V_g - V_{in} - V_{th})$)

Marc Sabut - STMicroelectronics

→ *Problématique interne à l'ADC*

Schéma générique d'un ADC



☐ Filtre anti-repliement

☐ Suiveur bloqueur

☒ Quantification → Voir plus loin: « Architectures ADC »

☐ Encodeur

Schéma générique d'un ADC

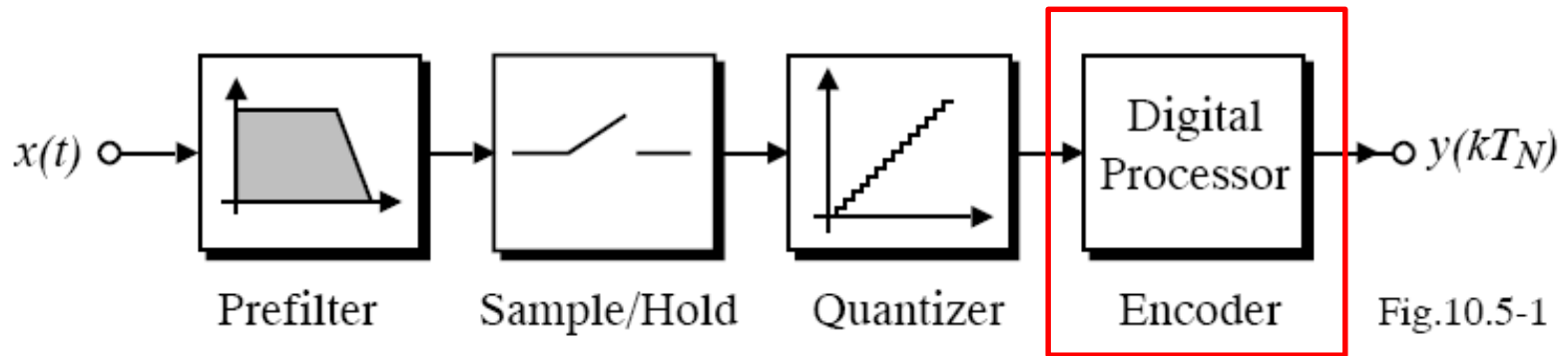


Fig.10.5-1

- ☐ Filtre anti-repliement
- ☐ Suiveur bloqueur
- ☐ Quantification
- ☒ Encodeur/traitement numérique

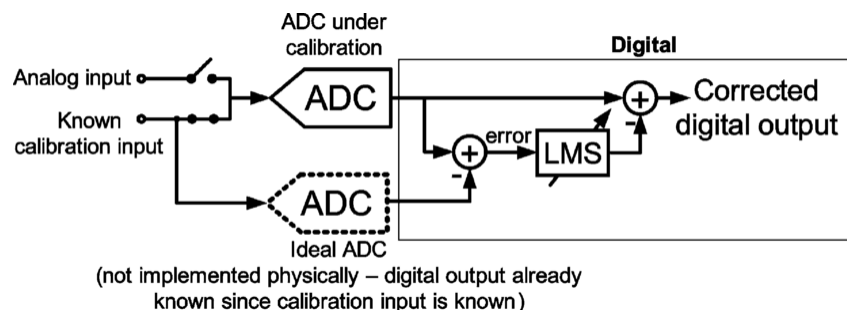
Mise en forme des données

❑ Différents types de format de données possibles:

Decimal	Binary	Thermometer	Gray	Two's Complement
0	000	0000000	000	000
1	001	0000001	001	111
2	010	0000011	011	110
3	011	0000111	010	101
4	100	0001111	110	100
5	101	0011111	111	011
6	110	0111111	101	010
7	111	1111111	100	001

Correction des données

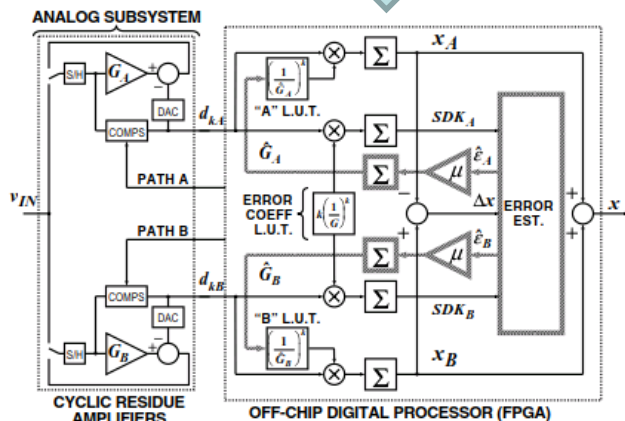
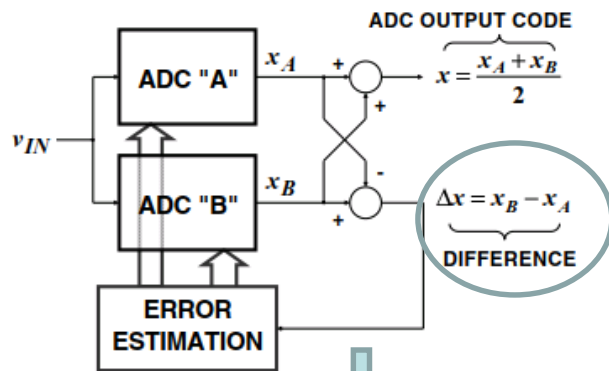
- ❑ La réponse des convertisseurs est rarement idéale car entachée d'erreurs (voir plus loin).
- ❑ Le traitement numérique apporte des solutions pour corriger les défauts de l'électronique analogique.
- ❑ Prix à payer:
 - ❑ Complexification du système
 - ❑ Cycle/temps supplémentaire pour la calibration
- ❑ Deux types de calibration:
 - ❑ *Foreground calibration*: injection d'un signal connu



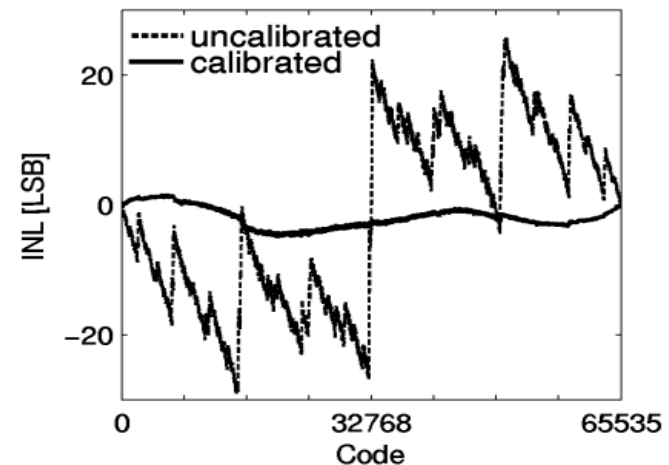
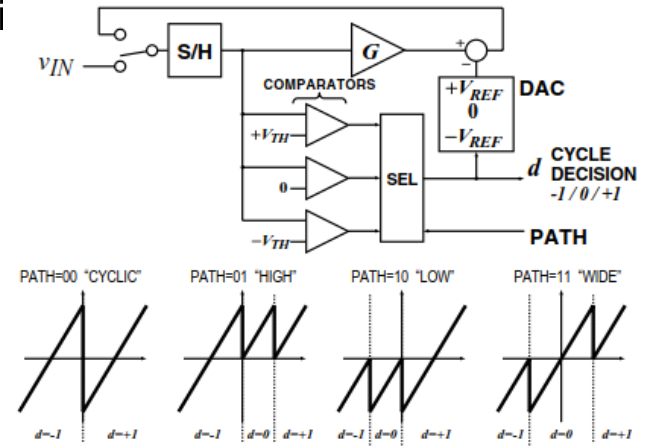
Correction des données

Deux types de calibration:

- ❑ *Foreground calibration*: injection d'un signal connu
- ❑ **Background calibration**: correction dite adaptative
 - ❑ Exemple pour un ADC type pipeline



Contrôle de la fonction de transfert de l'amplificateur de résidu



Caractéristiques statiques d'un ADC

DNL et INL

DNL : non linéarité différentielle

□ DNL :

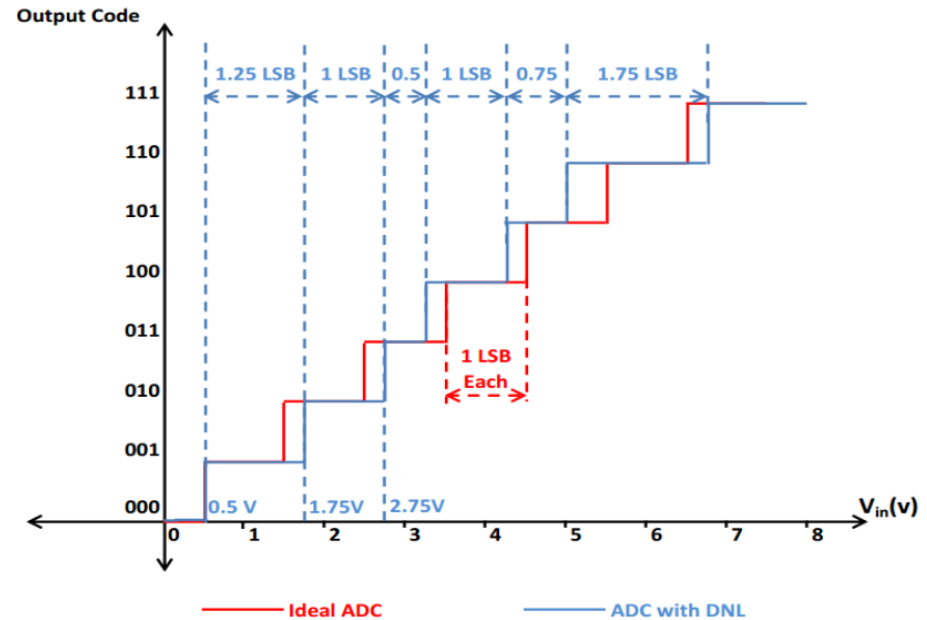
- Ecart entre un code et son code voisin (« hauteur de la marche »)
- Exprimée en LSB

$$DNL[k] = (W[k] - Q)/Q$$

where

$W[k]$ is the width of code bin k , $T[k+1] - T[k]$,

Q is the ideal code bin width,

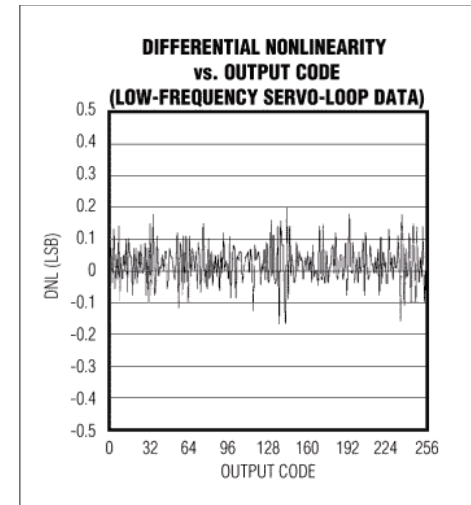


□ $DNL \geq \pm 1\text{LSB} \rightarrow$ code manquant

□ Un ADC est dit monotone quand sa sortie digitale augmente quand le signal d'entrée augmente.

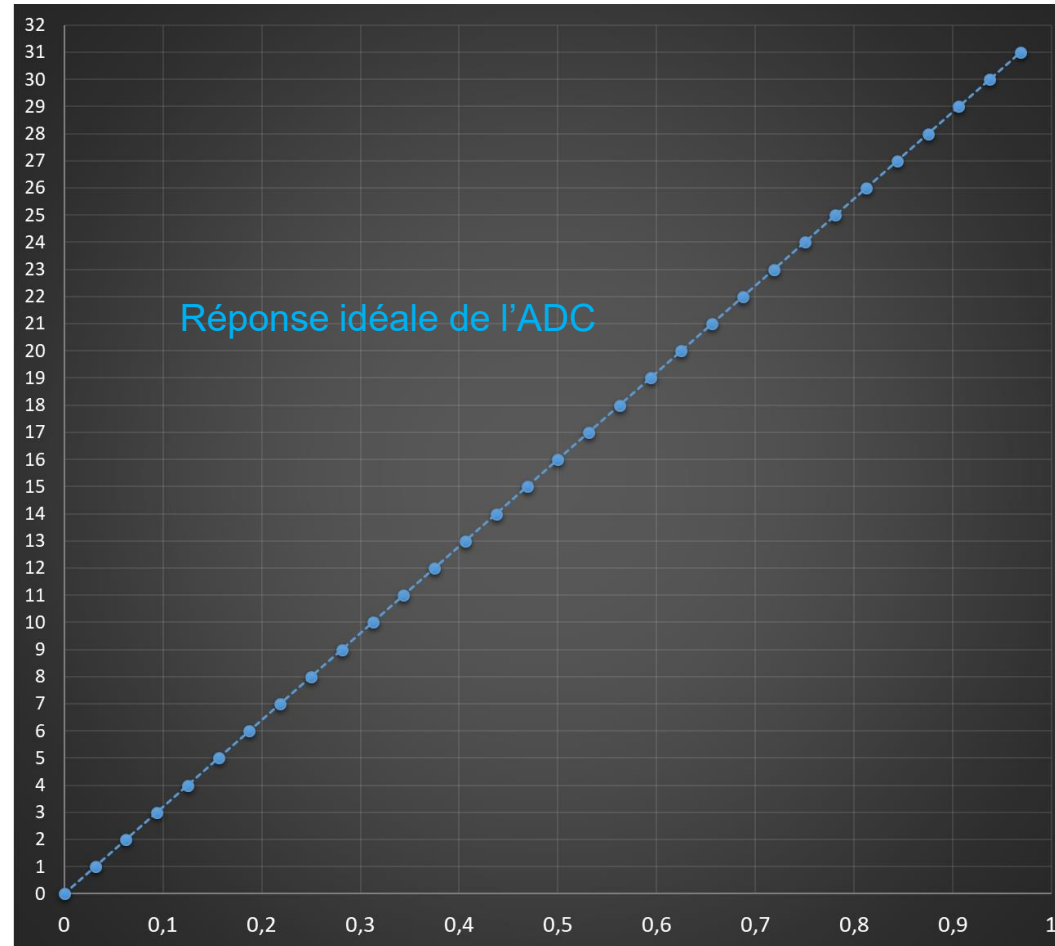


Attention aux ADC non-monotones utilisés dans des systèmes asservis



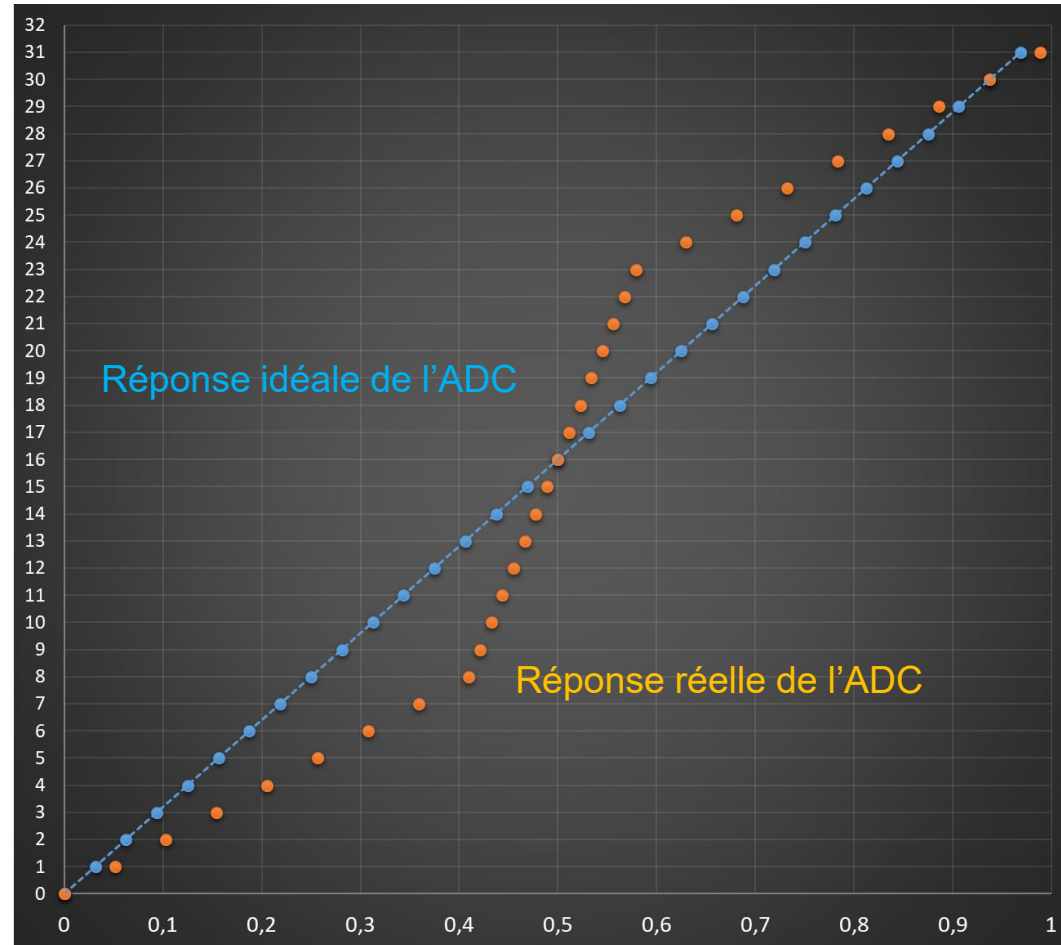
INL : non linéarité intégrale

- ❑ INL est l'écart de la fonction de transfert de l'ADC par rapport à soit:
 - **la meilleure droite**
 - la droite passant par les points extrêmes
- ❑ INL est l'intégrale de la DNL
$$INL(k+1) - INL(k) = DNL(k)$$
- ❑ INL de ± 2 LSB pour un ADC de 12-bit signifie que la non linéarité max sera de $\pm 2/4096$ or $\pm 0.05\%$.



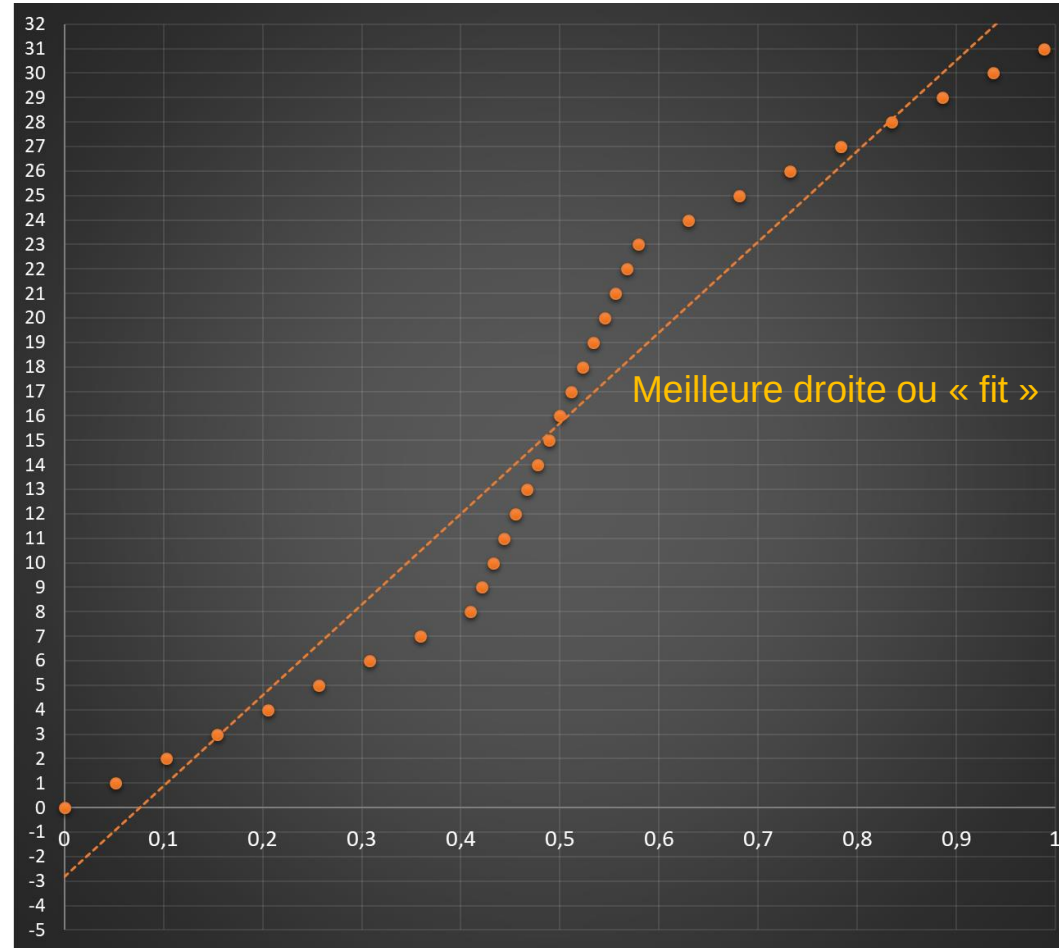
INL : non linéarité intégrale

- ❑ INL est l'écart de la fonction de transfert de l'ADC par rapport à soit:
 - la meilleure droite
 - la droite passant par les points extrêmes
- ❑ INL est l'intégrale de la DNL
$$INL(k+1) - INL(k) = DNL(k)$$
- ❑ INL de ± 2 LSB pour un ADC de 12-bit signifie que la non linéarité max sera de $\pm 2/4096$ or $\pm 0.05\%$.



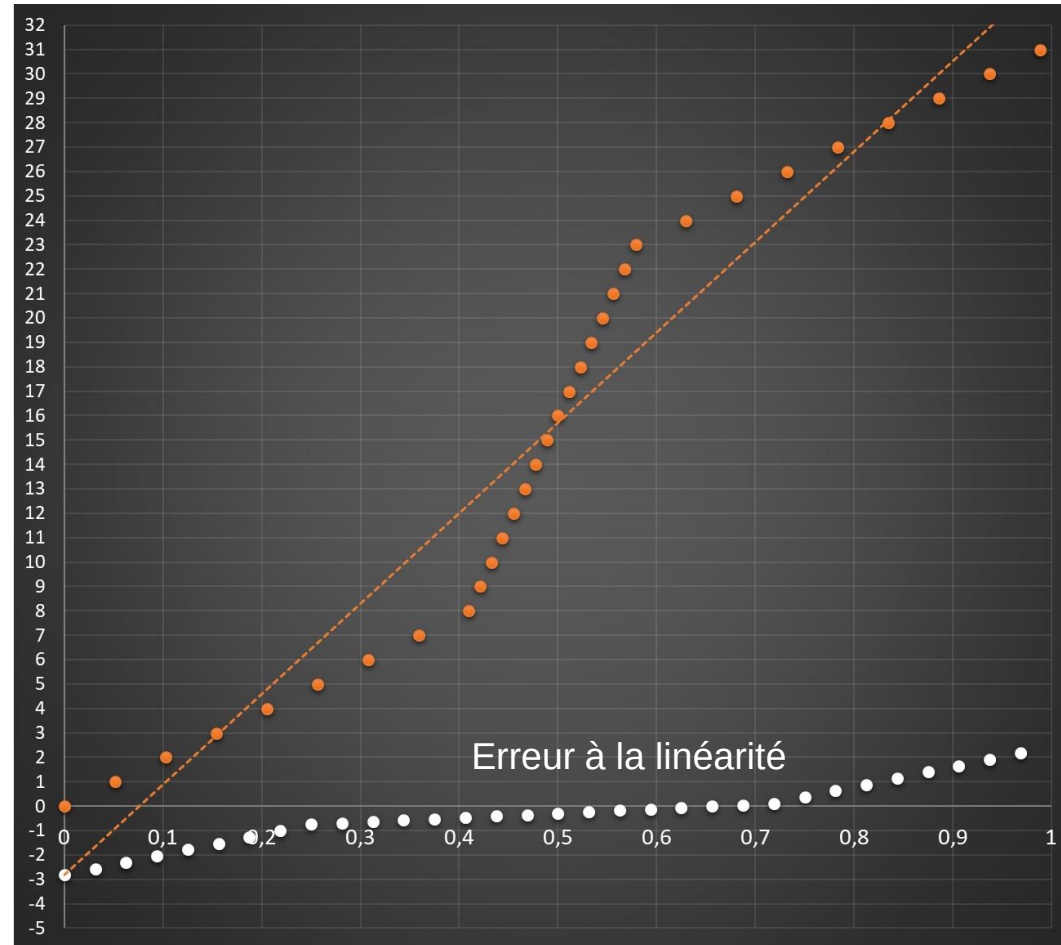
INL : non linéarité intégrale

- ❑ INL est l'écart de la fonction de transfert de l'ADC par rapport à soit:
 - la meilleure droite
 - la droite passant par les points extrêmes
- ❑ INL est l'intégrale de la DNL
$$INL(k+1) - INL(k) = DNL(k)$$
- ❑ INL de ± 2 LSB pour un ADC de 12-bit signifie que la non linéarité max sera de $\pm 2/4096$ or $\pm 0.05\%$.



INL : non linéarité intégrale

- ❑ INL est l'**écart** de la fonction de transfert de l'ADC par rapport à soit:
 - la meilleure droite
 - la droite passant par les points extrêmes
- ❑ INL est l'intégrale de la DNL
$$INL(k+1) - INL(k) = DNL(k)$$
- ❑ INL de ± 2 LSB pour un ADC de 12-bit signifie que la non linéarité max sera de $\pm 2/4096$ or $\pm 0.05\%$.



Caractéristiques dynamiques d'un ADC

DR, SNR, SFDR, THD...

Gamme dynamique ou « dynamic range » DR

- ❑ La gamme dynamique (DR) d'un ADC est le rapport de la tension pleine échelle en entrée « FSR » et de la valeur du LSB.

$$DR = \frac{FSR}{LSB \text{ change}} = \frac{FSR}{(FSR/2^N)} = 2^N \qquad DR(\text{dB}) = 6.02N \text{ (dB)}$$

- Une gamme dynamique de 60dB peut accepter des signaux entre x et 1000x.



Utiliser la pleine dynamique en entrée sinon perte de résolution !!

Tension rms: rappels

- ❑ Physiquement, c'est la valeur de la tension continue qui provoquerait une même dissipation de puissance que $u(t)$ si elle était appliquée aux bornes d'une résistance.

$$\sqrt{\frac{1}{T} \cdot \int_t^{t+T} u^2(t) dt}$$

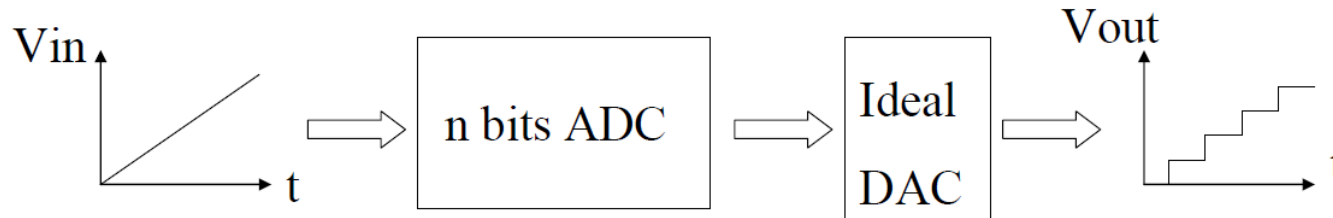
- ❑ Pour les régimes sinusoïdaux de tension et de courant ($u(t) = V_{\max} \cdot \sin(t)$), la valeur efficace est égale à la valeur de crête (valeur maximale, $V_{\max}$) divisée par la racine carrée de deux :

$$V_{\text{eff}} = \sqrt{\frac{1}{T} \cdot \int_t^{t+T} u^2(t) dt}$$

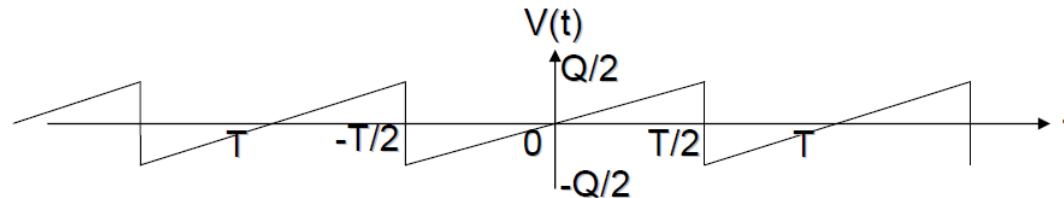
$$\sqrt{\frac{1}{2\pi} \cdot V_{\max}^2 \cdot \int_0^{2\pi} \sin^2 \theta d\theta} \quad \int_0^{2\pi} \sin^2 \theta d\theta = \pi$$

$$V_{\text{eff}} = \sqrt{\frac{V_{\max}^2}{2}} = \frac{V_{\max}}{\sqrt{2}}$$

Bruit de quantification



Quantization noise is the difference V between V_{out} and V_{in} :



□ Rappel diapo 8: l'information analogique codée en sortie d'ADC est entachée d'une erreur/incertitude de pondération ϵ :

$$-\frac{1}{2} \cdot \left(\frac{1}{2^N} \cdot U_{ref} \right) \leq \epsilon \leq +\frac{1}{2} \cdot \left(\frac{1}{2^N} \cdot U_{ref} \right)$$

$$-0,5 \text{ LSB} \leq \epsilon \leq +0,5 \text{ LSB}$$

□ Equivalent à un signal de bruit de valeur moyenne nulle mais de tension rms égale à:

$$v^2 = \frac{1}{T} \int_{-T/2}^{T/2} v^2(t) dt = \frac{2}{T} \int_0^{T/2} v^2(t) dt = \frac{2}{T} \int_0^{T/2} \left(\frac{Q}{T} t \right)^2 dt = \frac{Q^2}{12}$$

$$\text{avec } Q = \frac{1}{2^N} \cdot U_{ref} \rightarrow \text{LSB}$$

- Démontré pour un signal rampe mais reste vrai pour un signal aléatoire [1]
- Bruit distribué sur la bande de Fréquence $[-F_s/2; +F_s/2]$ avec F_s fréquence d'échantillonnage



Un ADC idéal génère un bruit « blanc » de valeur efficace (rms) $Q/\sqrt{12}$

SNR en considérant le bruit de quantification

❑ SNR: Signal-to-Noise Ratio

➤ SNR : rapport (en log) entre la puissance du signal utile et la puissance des autres signaux vus à l'entrée de l'ADC.

➤ SNR en dB: $10 \log \left(\frac{V_{in}^2}{V_{noise}^2} \right) = 20 \log \left(\frac{V_{in}}{V_{noise}} \right)$

❑ Pour un ADC idéal:

➤ $SNR = 20 \log \left(\frac{V_{in}}{\frac{Q}{\sqrt{12}}}} \right)$

➤ Pour un signal d'entrée sinusoïdal entre 0 et Uref:

$$V_{in}(rms) = \frac{U_{ref}}{2\sqrt{2}}$$

$$SNR = 20 \log \left(\frac{V_{in}}{\frac{Q}{\sqrt{12}}}} \right) = 20 \log \left(\frac{\frac{U_{ref}}{2\sqrt{2}}}{\frac{U_{ref}}{2^N \sqrt{12}}}} \right)$$

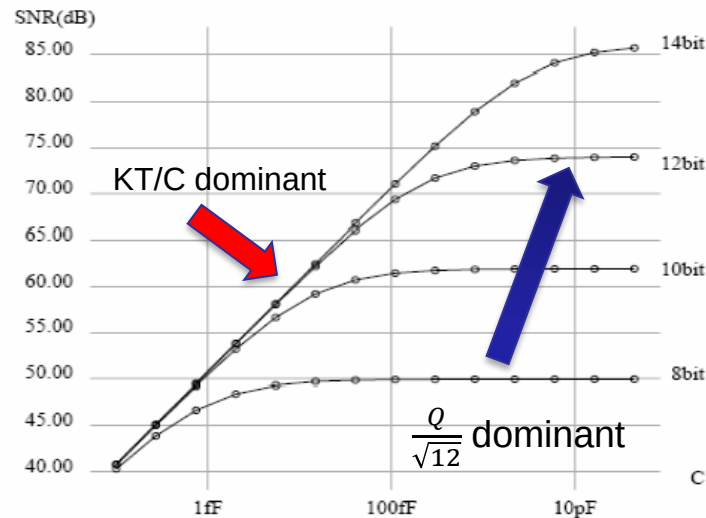


SNR d'un ADC idéal à N bits pour un signal sinus.:

$$SNR = (1,76 + 6,02 \times N) \text{ dB}$$

SNR en considérant le bruit de quantification et le bruit échantillonnage

$$SNR = 20 \log (V_{in_rms} / V_{n_rms}) = 10 \log \left(\frac{\left(\frac{V_{ref}}{2\sqrt{2}} \right)^2}{\frac{(V_{ref} / 2^N)^2}{12} + KT / C} \right)$$



Maximum achievable SNR for different capacitor values at different resolution levels

SNR: structure mode commun /différentielle

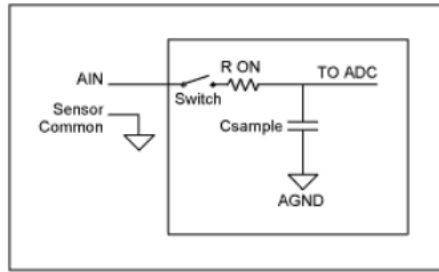


Figure 8. Single-ended T/H stage.

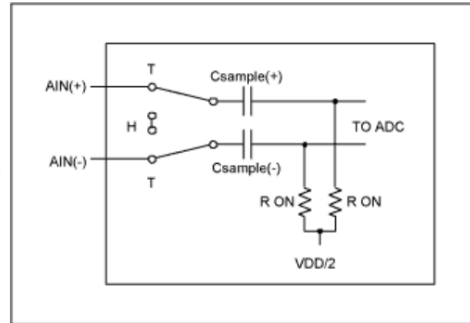
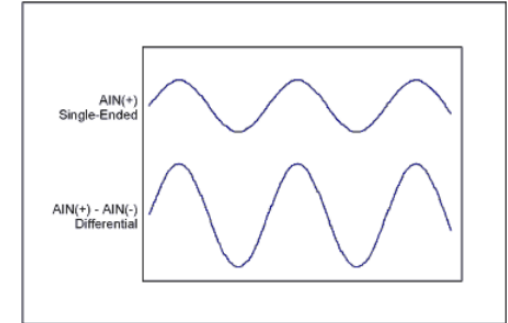


Figure 1. Fully-differential T/H stage.



SNR pour un ADC mode commun:

$$\frac{A / \sqrt{2}}{\sqrt{kt / C}}$$

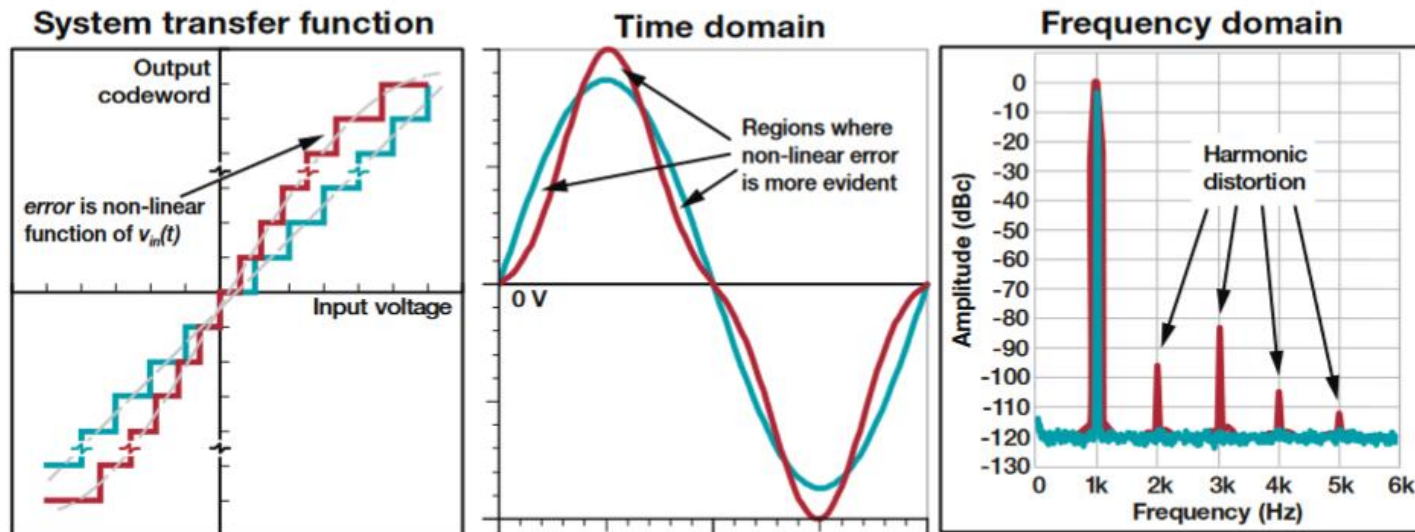
SNR pour un ADC différentiel:

$$\frac{2A / \sqrt{2}}{\sqrt{2(kt / C)}} = \sqrt{2} * \frac{A / \sqrt{2}}{\sqrt{(kt / C)}}$$

Le signal d'entrée est doublé alors que le bruit n'est augmenté que d'un facteur $\sqrt{2}$. **Le SNR est amélioré de $\sqrt{2}$ soit 3dB (mais la conso x2).**

THD Total Harmonic Distortion

- ❑ Les distorsions harmoniques sont induites par la non-linéarité de l'ADC



Total Harmonic Distortion:

$$THD = 20 \log \left(\frac{V_{in}}{\sqrt{A_2^2 + A_3^2 + A_4^2 + \dots}} \right)$$

<http://www.ti.com/lit/wp/slyy097/slyy097.pdf>

SINAD ou SNDR: Signal-to-Noise And Distorsion ratio

$$SINAD = 10 \log \left(\frac{V_{in_rms}^2}{Quantiz_noise^2 + Samp_noise^2 + Distor_noise^2} \right)$$

$$SINAD = 10 \log \left(\frac{V_{in_rms}^2}{\left(\frac{\frac{U_{ref}}{2^N}}{\sqrt{12}} \right)^2 + \frac{kT}{C} + \left(\frac{V_{in_rms}}{10^{\frac{THD}{20}}} \right)^2} \right)$$

ENOB: Effective Number Of Bits

- ❑ Rappel: pour un ADC idéal (que du bruit de quantification) traitant un signal sinus. parfait:

$$SNR_{dB} = 1,76 + 6,02 \cdot N$$

$$\rightarrow N = \frac{SNR - 1,76}{6,02}$$

- ❑ Pour un ADC réel, le nombre de bits effectifs est donné par:

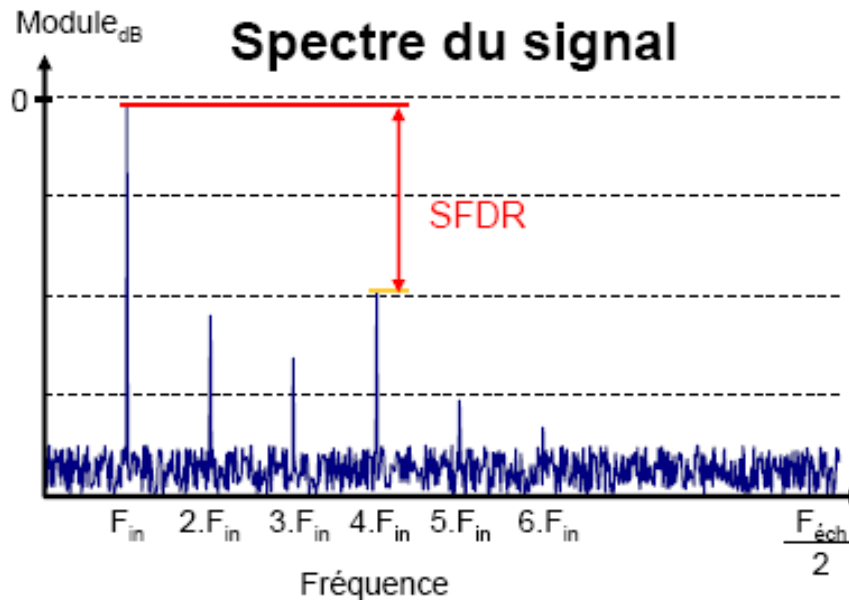
$$ENOB = \frac{SINAD - 1,76}{6,02}$$



En déterminant le rapport Signal/Bruit de l'ADC, il est possible de modéliser son comportement à un ADC idéal de ENOB bits.

Exemples de paramètres RF (1)

- ❑ SFDR est le rapport de l'amplitude rms du fondamental sur la valeur rms de plus grande distorsion.
- ❑ SNRFS: SNRFS est le rapport entre la valeur rms pleine échelle et la valeur rms de la somme de toutes les composantes spectrales exceptées le 6 premières harmoniques et le DC.



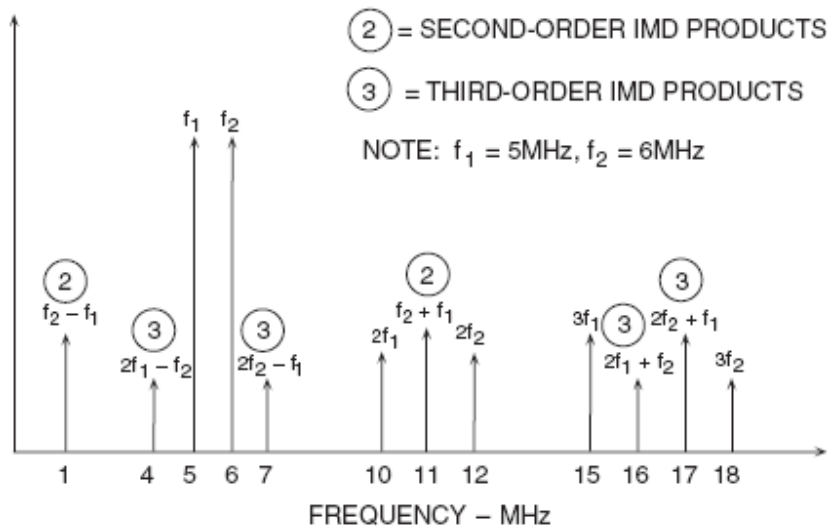
$$(SFDR)_{dB} = 20 \cdot \log\left(\frac{\max(A_i)}{A}\right)$$

A = amplitude du fondamental

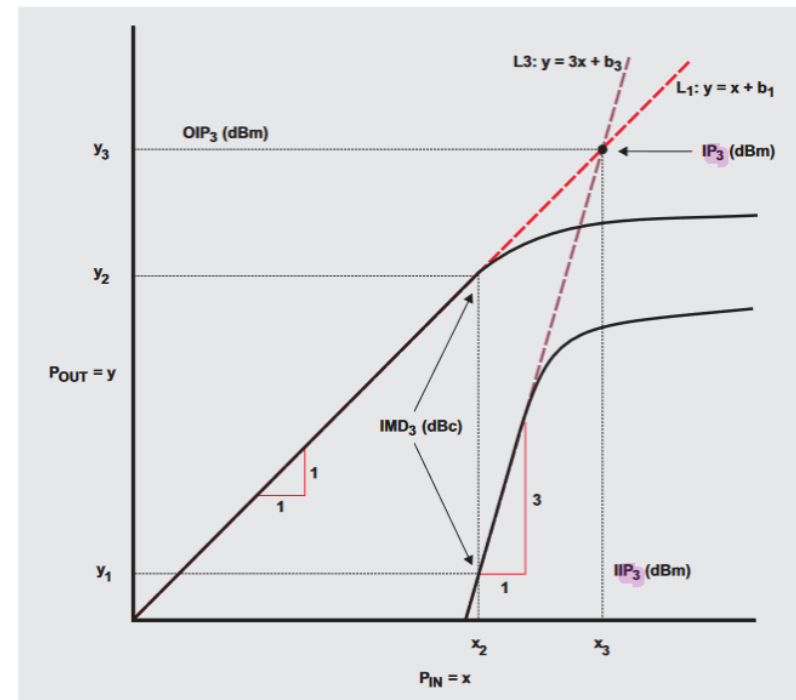
A_i = amplitude de la $i^{\text{ème}}$ raie

Exemples de paramètres RF (2)

- ❑ IMD est un phénomène faisant apparaître des nouvelles fréquences qui ne sont pas dues au signal d'entrée
- ❑ « Two-tone IMD » est mesuré en appliquant 2 signaux sinusoïdaux « purs » de fréquence proche, f_1 et f_2 , en entrée de l'ADC.
- ❑ On définit ainsi les différents IMD:
 - 2nd-order intermodulation products (IM2): $f_1 + f_2$, $f_2 - f_1$
 - (IM3): $2 \times f_1 - f_2$, $2 \times f_2 - f_1$, $2 \times f_1 + f_2$, $2 \times f_2 + f_1 \rightarrow \text{IP3}$
 - (IM4): $3 \times f_1 - f_2$, $3 \times f_2 - f_1$, $3 \times f_1 + f_2$, $3 \times f_2 + f_1$
 - (IM5): $3 \times f_1 - 2 \times f_2$, $3 \times f_2 - 2 \times f_1$, $3 \times f_1 + 2 \times f_2$, $3 \times f_2 + 2 \times f_1$.



<http://www.ti.com/lit/an/slyt090/slyt090.pdf>



En résumé ...

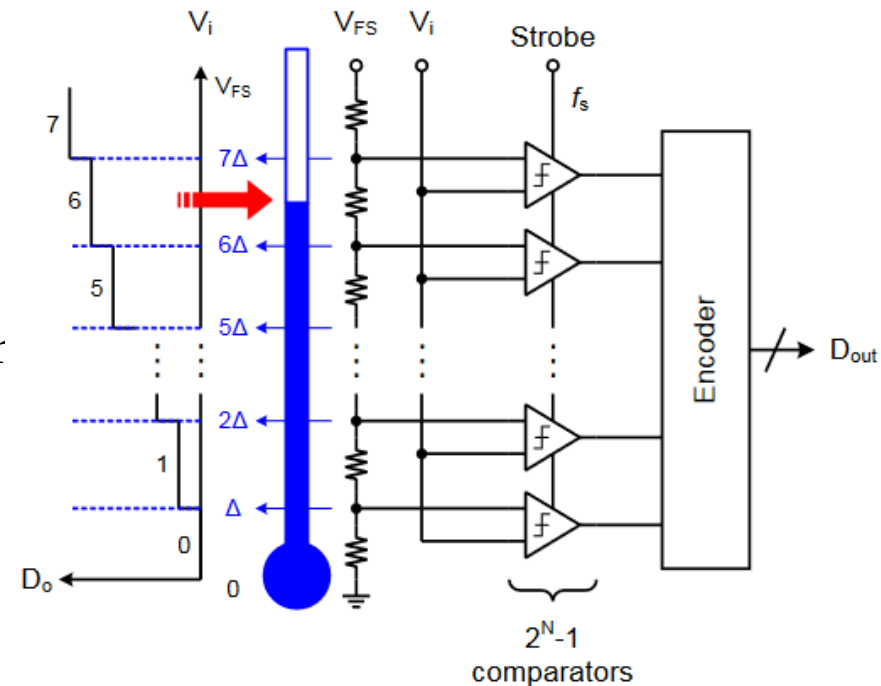
- *bruit de quantification*: $\frac{Q}{\sqrt{12}}$
- Contraintes sur le T/H
 - *Bruit thermique*: $\sqrt{\frac{kT}{C}}$
 - Aperture time/jitter de l'horloge
- Caractéristiques DC: INL, DNL, SNR, ...
- Caractéristiques AC: THD, SINAD, ENOB, ...

Architectures ADC

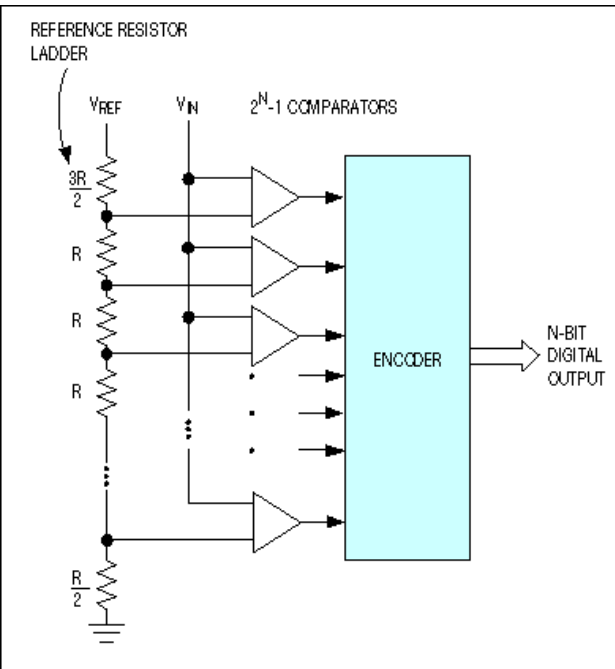
ADC Flash

ADC FLASH (1)

- ❑ Nommé aussi ADC parallèle
- ❑ **Le plus rapide**: N bits à chaque coup d'horloge
- ❑ Partie analogique complexe
 - Grand nombre de comparateurs
 - ✓ N bits de résolution $\rightarrow 2^{N-1}$ comparateur connectés en parallèle
 - Références de tension requise
 - ✓ Ex.: générées par un réseau de R espacées de $V_{REF}/2^N$ (1 LSB)
- ❑ Code thermomètre obtenu



ADC FLASH (2)



❑ Résolution limitée par les comparateurs

- 2^{N-1} comparateurs
 - surface active importante
 - capacité d'entrée élevée
 - puissance consommée élevée
- Faible offset requis

❑ « Sparkle Codes »

- Bulles dans le code thermomètre
- Ex: 00011111 attendu, 00010111 lu.
- Erreur causée par le comparateur:
 - ✓ Temps d'établissement imparfait
 - ✓ Mismatch en temps.
- Logique de correction requise

❑ Métastabilité

- Sortie comparateur ambiguë, sortie métastable

Conclusion ADC FLASH

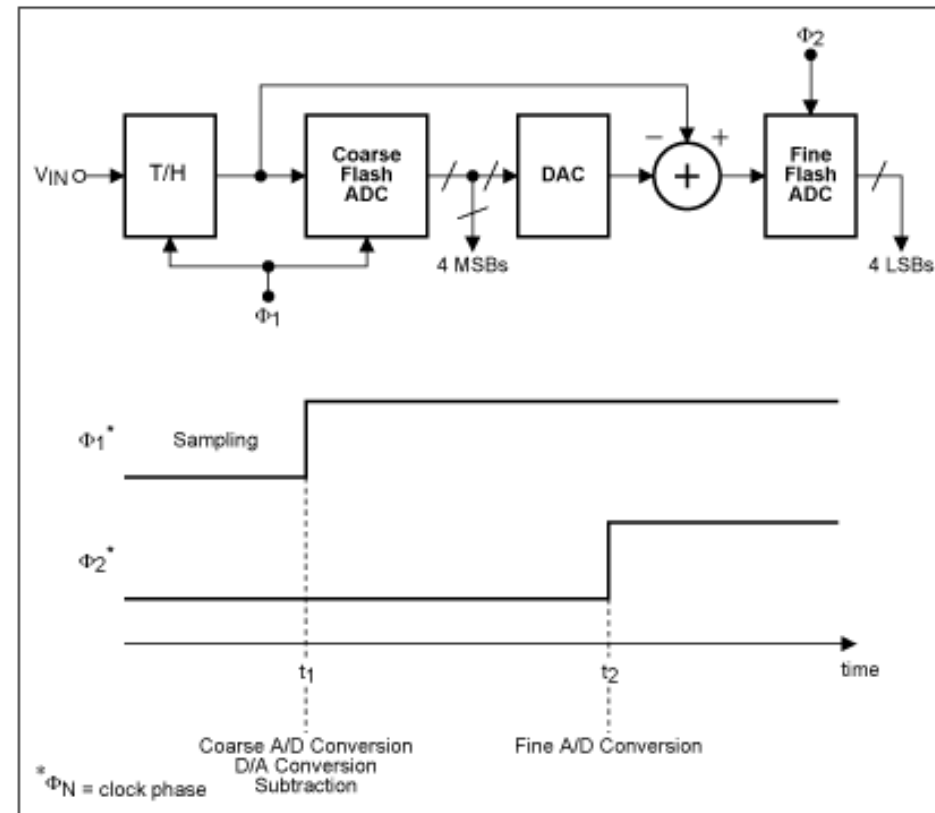
- ❑ Technologies bipolaires pour obtenir les convertisseurs les plus rapides
- ❑ Vitesse de conversion $> GS/s$ et jusqu'à des résolutions max de ~ 8 bits
- ❑ Nombre de comparateurs $\times 2$ pour chaque bit supplémentaire et ils doivent être en même temps 2 fois plus précis
- ❑ Aujourd'hui, peu employé sauf pour très haute fréquence:
 - Exemple: HMCAD5831LP9BE de chez Analog Devices, 3-bits à $26GS/s$
- ❑ Flash utilisé comme sous-éléments d'autres architectures d'ADC



- ❑ *ADC 8 bits Flash comparé à un Pipeline*
 - *Surface active 7 fois plus grande pour un Flash*
 - *La capacité d'entrée 6 fois plus grande pour le Flash*
 - *Puissance dissipée doublée pour un flash*

Variante de Flash: Sub-Ranging ADCs

- ❑ Sub-ranging ADC utilisés
 - Pour des résolutions supérieures à 8bits
 - Surface active plus petite
 - Dissipation plus faible
- ❑ ADC appelés aussi Multi-step or half-flash converter
- ❑ Avantages:
 - Bits à convertir sont séparés en petits groupes.
 - Réduction du nombre de comparateurs
- ❑ Inconvénient:
 - Conversion plus lente.



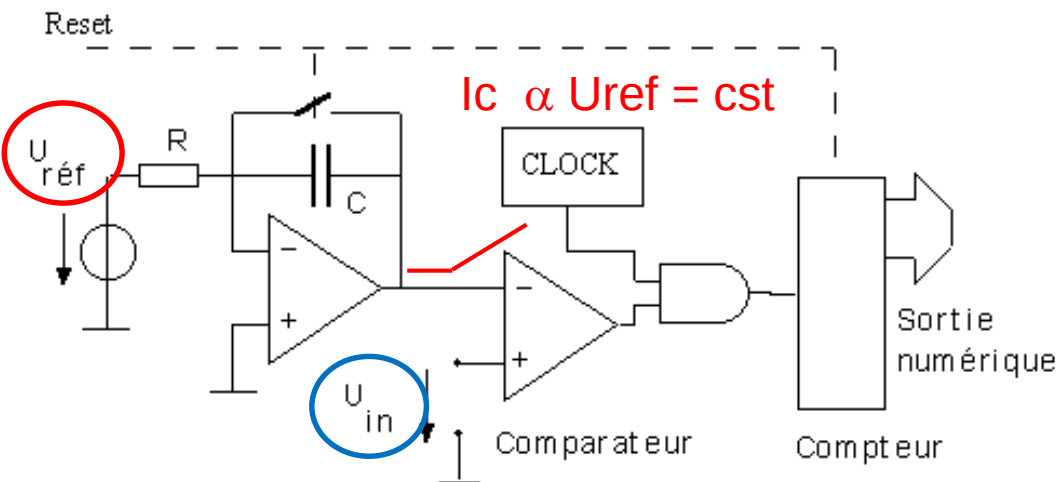
Architectures ADC

ADC à Rampe ou à Intégration

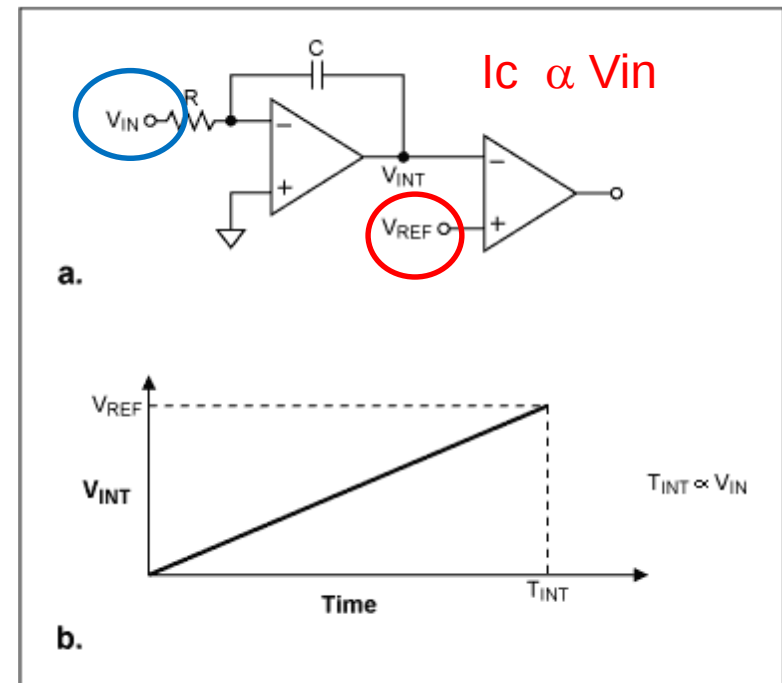
ADC RAMPE ou INTEGRATING ADC

- ❑ Temps mis par l'intégrateur pour faire basculer le comparateur **proportionnel** à la **valeur de tension entrée**; mesure de temps effectuée par un compteur
- ❑ Grande résolution (~ 14 bits), bonne réjection du bruit
- ❑ Numérise des signaux faible bande passante →
- ❑ ADC les plus « populaires » (multimètre, ...)

Exemple: $N=14$ bits et $F_{clk}=1\text{GHz}$
→ $T_{int}=16,4\mu\text{s}$ → $F_{max}=61\text{kS/s}$

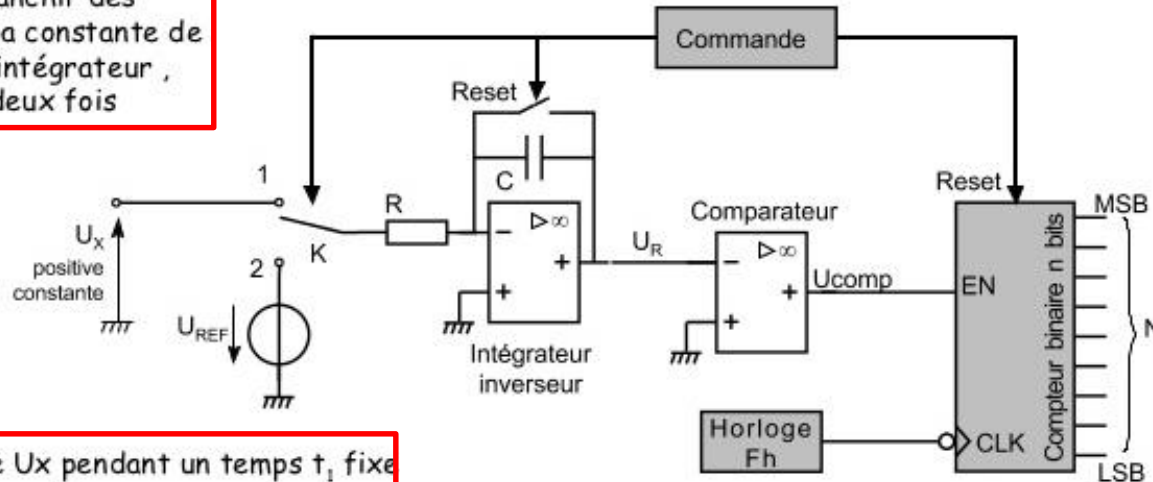


*Besoin référence stable et précise
et horloge rapide → CEM !!*



ADC double rampe

Pour s'affranchir des dérives de la constante de temps de l'intégrateur, on intègre deux fois



1. On intègre U_x pendant un temps t_1 fixe

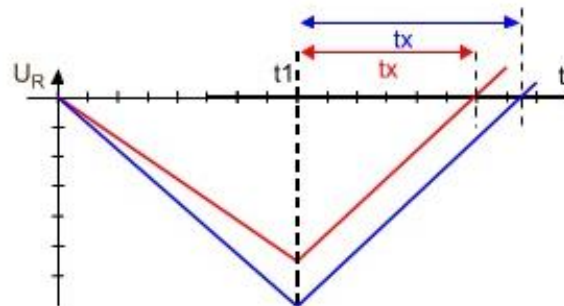
2. On intègre $-U_{REF}$
On mesure le temps t_x (en unité T_H)
que met U_R pour revenir à 0

$$U_{Rmax} = -U_x \cdot t_1 / RC$$

$$U_{Rmax} = -U_{REF} \cdot t_x / RC$$

$$t_x = t_1 \cdot U_x / U_{REF} \quad \text{indépendant de RC}$$

$$N = t_x / T_H = (t_1 / T_H) \cdot (U_x / U_{REF})$$



Conversion Analogique Numérique / Numérique Analogique

Crédit: N.Nasri

Conclusions ADC RAMPE

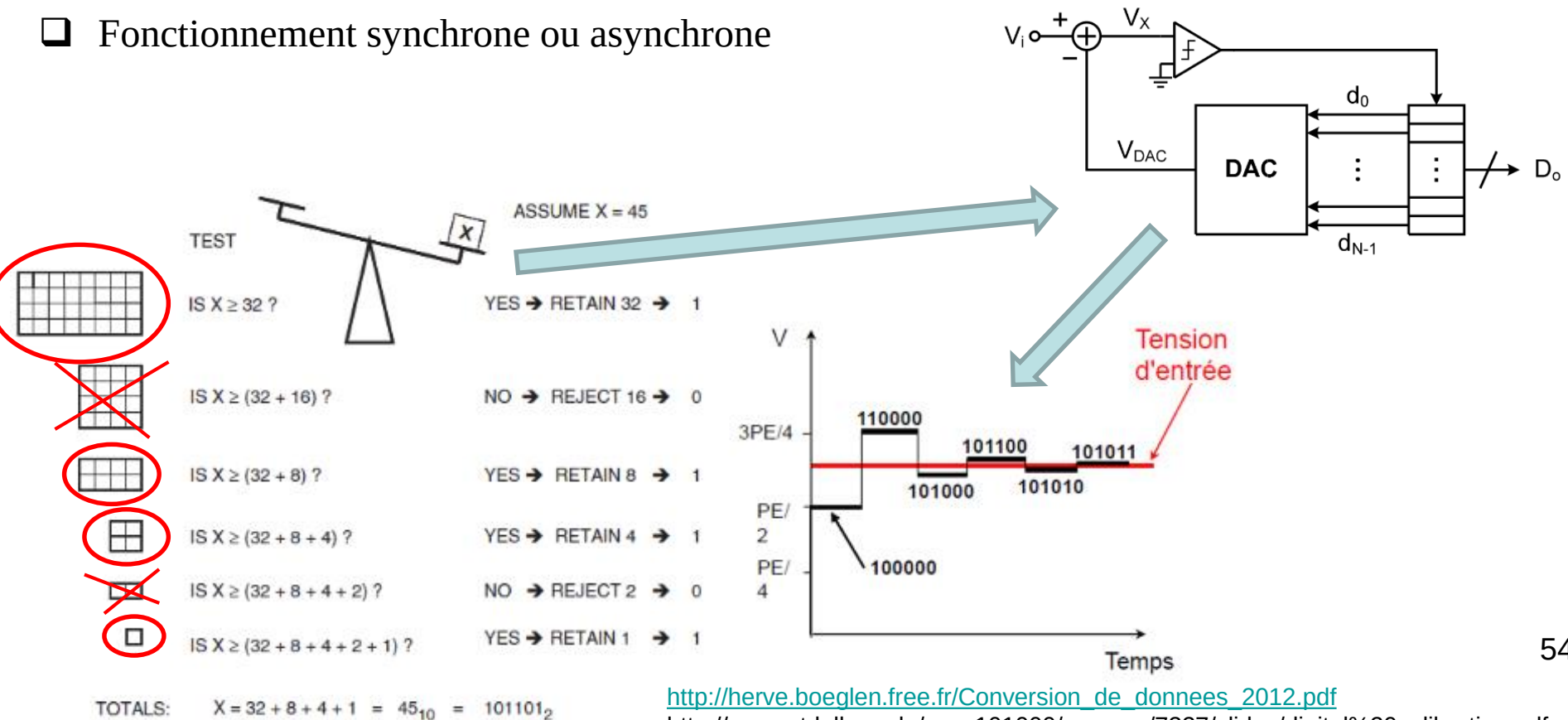
- ❑ Convertisseurs très lents avec des faibles bande passante entrée
- ❑ Taux de conversion de quelques centaines à quelques dizaines de k-échantillons par seconde
- ❑ Résolution 12-16bits
- ❑ Peu coûteux, dissipe peu
- ❑ Entre en « compétition » avec ADC Sigma-Delta (voir plus loin)
- ❑ Très utilisés dans des applications industrielles très bruyantes
 - Rejette les bruits hautes fréquences (filtrage) et 50Hz (mode pseudo-diff.).

Architectures ADC

ADC à Approximation Successive (SAR)

ADC Approximation successive

- ❑ Architecture basée sur un **comparateur**, un **DAC** et un **registre à approximation successive**.
- ❑ N périodes de comparaisons sont nécessaires pour un ADC N bits.
- ❑ Le résultat final est approchée en faisant la somme des N bits.
- ❑ Fonctionnement synchrone ou asynchrone



Conclusions ADC Approximation successive

- ❑ Résolution 8 à 18 bits; au-delà de 12 bits trimming ou calibration du DAC
- ❑ ADC série limitant son taux d'échantillonnage ~~5Mps max~~ plusieurs centaines de MS/s
 - Exemple: thèse de Vaibhav Tripathi (août 2014) → 8 bits @450MS/s
- ❑ Faible consommation, ~~faible Bande passante~~
- ❑ Coût faible
- ❑ Un seul comparateur haute vitesse et très précis, structure bit par bit
- ❑ 1 cycle d'horloge de latence = $1/F_{\text{sample}}$
- ❑ Très utilisé dans des applications portables



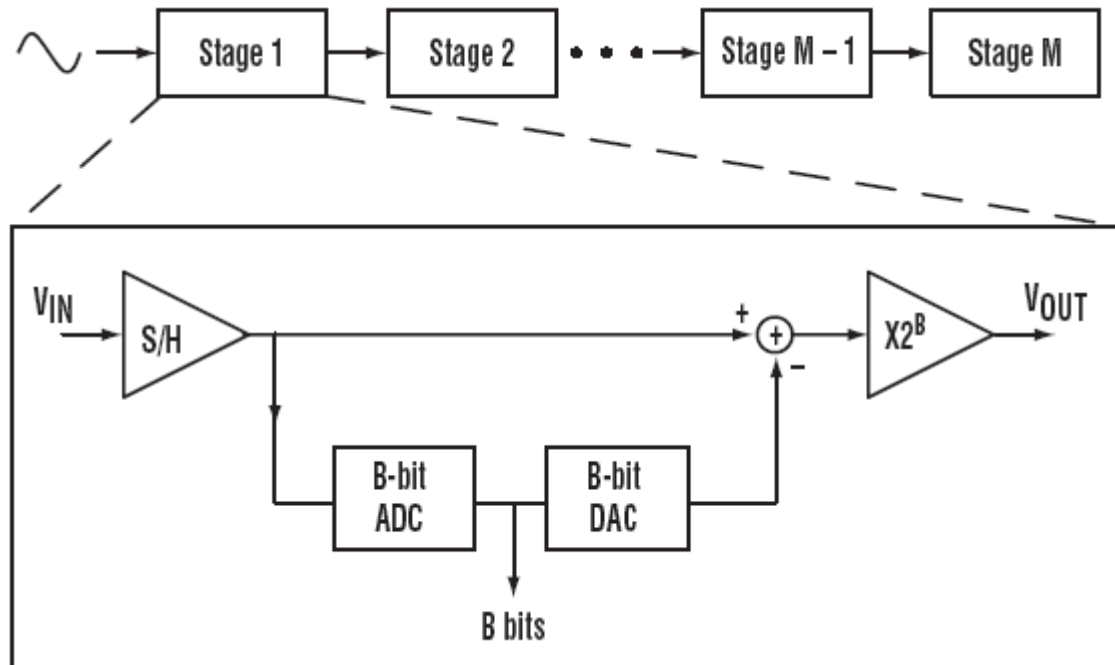
La « star » des années 2010 ...

Architectures ADC

ADC Pipeline

ADC Pipeline

- ❑ Apparition au milieu des années 1970
- ❑ Que des avantages (J.Lecoq) ... ou presque !
 - Vitesse, résolution, faible consommation, faible surface de silicium, faible coût...
- ❑ L'ADC « passe-partout » !
- ❑ Précision de N bits nécessaire seulement sur le 1^{er} étage.



Structure 1.5 bit par étage

- ❑ Un étage ADC 1.5-bit (2 comparateurs) compare l'entrée analogique aux seuils des comparateurs
 - -0.25V et +0.25V dans cet exemple
- ❑ L'ADC donne une sortie digitale correspondant
- ❑ 1.5-bit par étage, 3 régions différentes (00-01-10)
 - 1 bit par étage 2 régions (0-1)
 - 2 bit par étage 4 régions différentes (00-01-10-11)

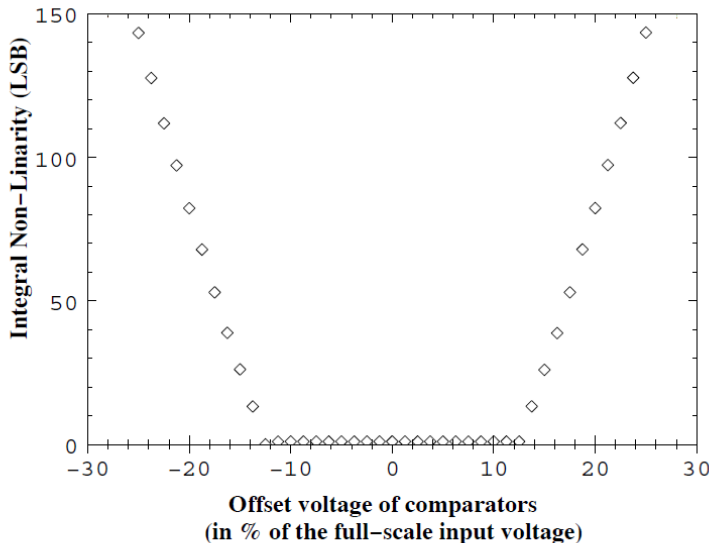


Fig. 4. 1.5-bit/stage ADC: variation of INL as a function of offset voltage V_{off} on comparators.

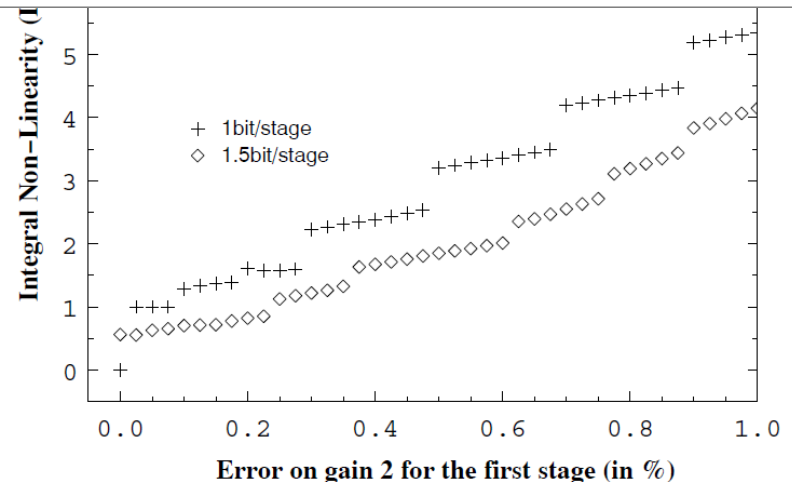
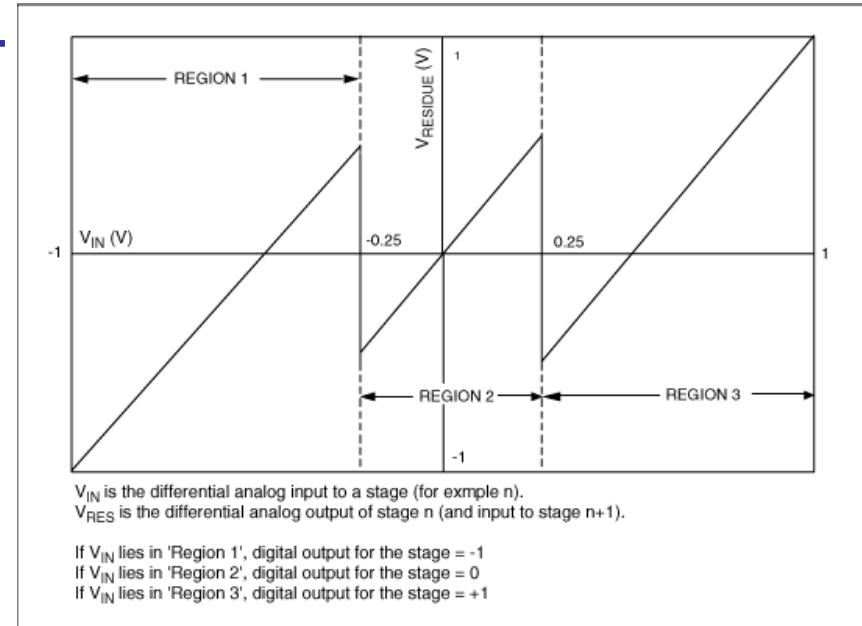
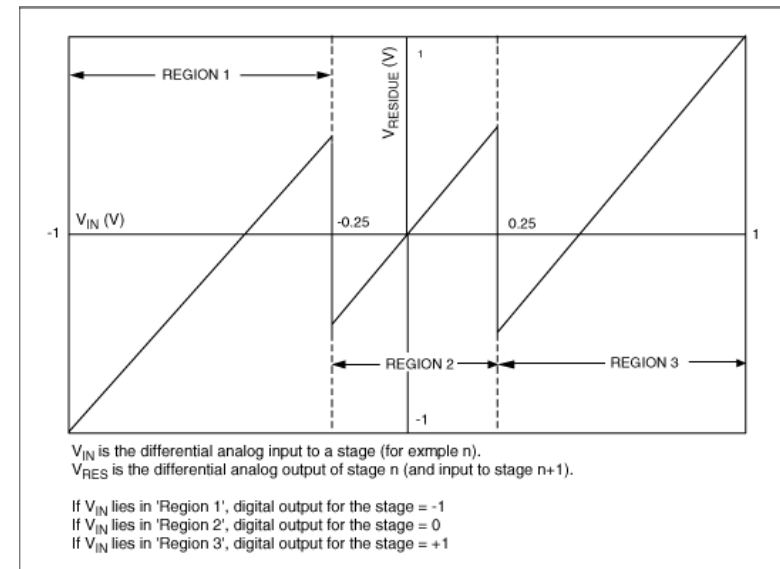


Fig. 5. Comparative variation of INL versus error on gain 2 of the first stage amplifier, for 1-bit/stage (cross) and 1.5-bit/stage (diamond) ADC architectures.

Structure 1.5 bit par étage

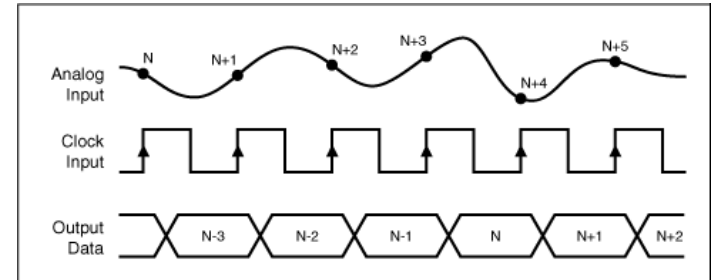
Stage	V_{IN} (V)	Region on the $V_{RESIDUE}$ vs. V_{IN} Transfer Characteristic (See Figure 4)	Digital Output (-1, 0, or +1)	Decimal Place Value	$V_{RESIDUE}$ (V_{IN} for the Next Stage)
1	0.6	Region 3	+1	64	$2 \times 0.6 - 1$
2	0.2	Region 2	0	32	2×0.2
3	0.4	Region 3	+1	16	$2 \times 0.4 - 1$
4	-0.2	Region 2	0	8	$2 \times (-0.2)$
5	-0.4	Region 1	-1	4	$2 \times (-0.4) + 1$
6	0.2	Region 2	0	2	2×0.2
7	0.4	Region 3	1	1	Not required

- ❑ Prenons le cas d'un ADC 7 bits pour lequel le signal max est de 1V.
- ❑ On échantillonne un signal d'entrée $= +0.6V$.
- ❑ $[(64 \times 1) + (32 \times 0) + (16 \times 1) + (8 \times 0) + (4 \times -1) + (2 \times 0) + (1 \times 1)] = 77$
- ❑ Code $77/127 = 0.606V$



Conclusion ADC pipeline

- ❑ Structure parallèle ou chaque étage travaille sur quelques bits
- ❑ Taux d'échantillonnage du qqs Msps à qqs 00Msps+
- ❑ Résolution de 8 bits à 16 bits.
- ❑ La complexité du design croît de façon linéaire.
- ❑ Convertisseurs grande vitesse et faible dissipation.
- ❑ La latence des données au démarrage peut être un inconvénient.
- ❑ Nécessite des amplificateurs précis, contraintes relâchées sur les comparateurs
- ❑ Difficultés de mise en œuvre



La « star » des années 2000 ...

- Références de tension et polarisation complexes
- Latence due au pipeline
- Timing critique pour les latches, synchronisation des sorties.
- Sensibles au process, gain, offset.
- Calibration requise au-delà de 12-14 bits

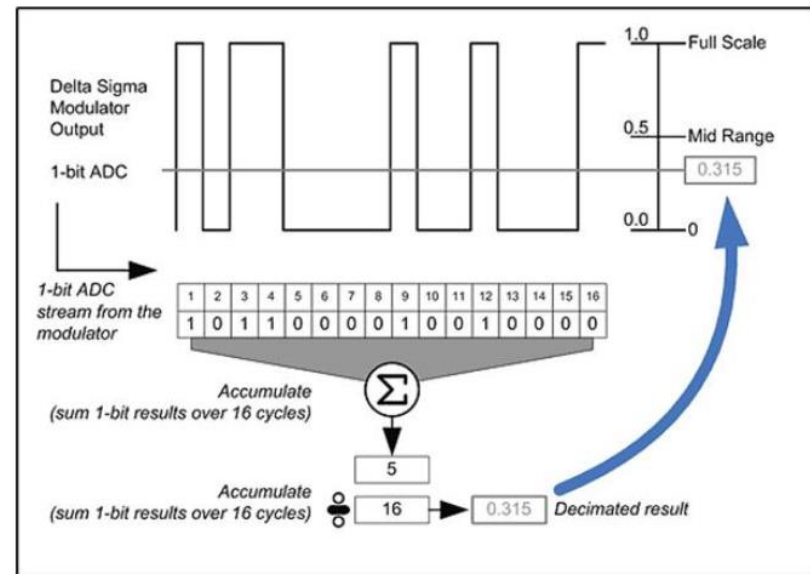
Architectures ADC

ADC Sigma-Delta ou Σ - Δ

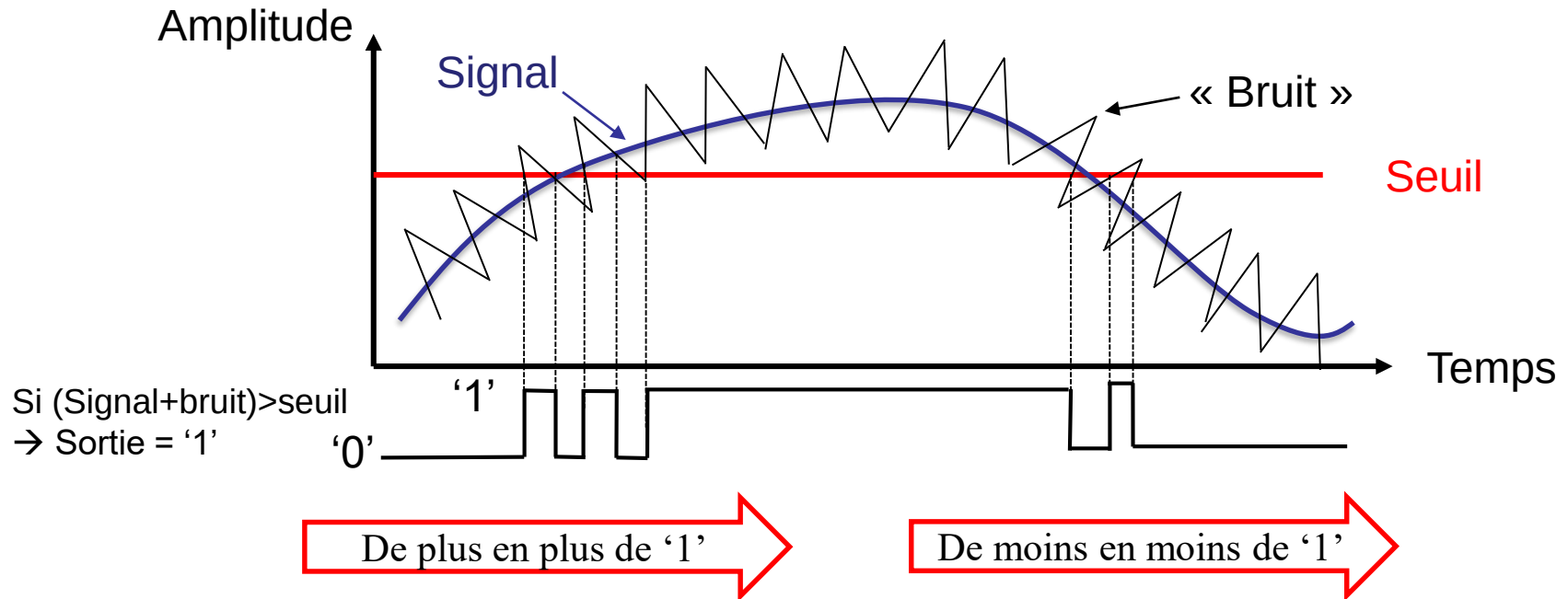
Modulation de densité d'impulsion

❑ Principe:

- Modulation de densité d'impulsion en fonction de l'amplitude du signal d'entrée
→ densité de '0' ou de '1' en sortie de l'ADC proportionnelle à l'amplitude du signal d'entrée
- Nécessité de **sur-échantillonner**, au-delà de la fréquence de Nyquist



Modulation de densité d'impulsion



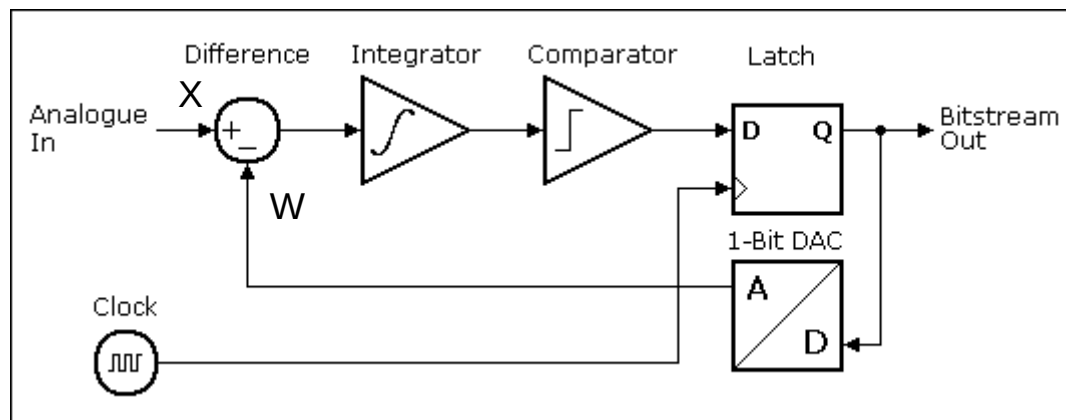
Si au **signal** on ajoute du « **bruit** » (**modulation**), et si on regarde « assez souvent », alors le **nombre de points au dessus du seuil** est une **image de l'amplitude** du signal, **d'autant plus exacte** que les **fréquences de bruit et d'échantillonnage** sont **élevées** devant la **fréquence du signal**.

Vers la modulation Sigma-Delta

- ❑ Pour que le principe fonctionne correctement:
 - Il faut que l'amplitude du bruit soit exactement la même que celle du signal, sinon certains signaux seront ignorés.
 - Il faut aussi que la fréquence du bruit soit adaptée à celle du signal.
 - Il faut en plus une horloge, ne serait-ce que pour compter.
- ❑ L'idée: obtenir la modulation grâce au signal lui-même.
 - C'est le modulateur Sigma-Delta (Σ - Δ)

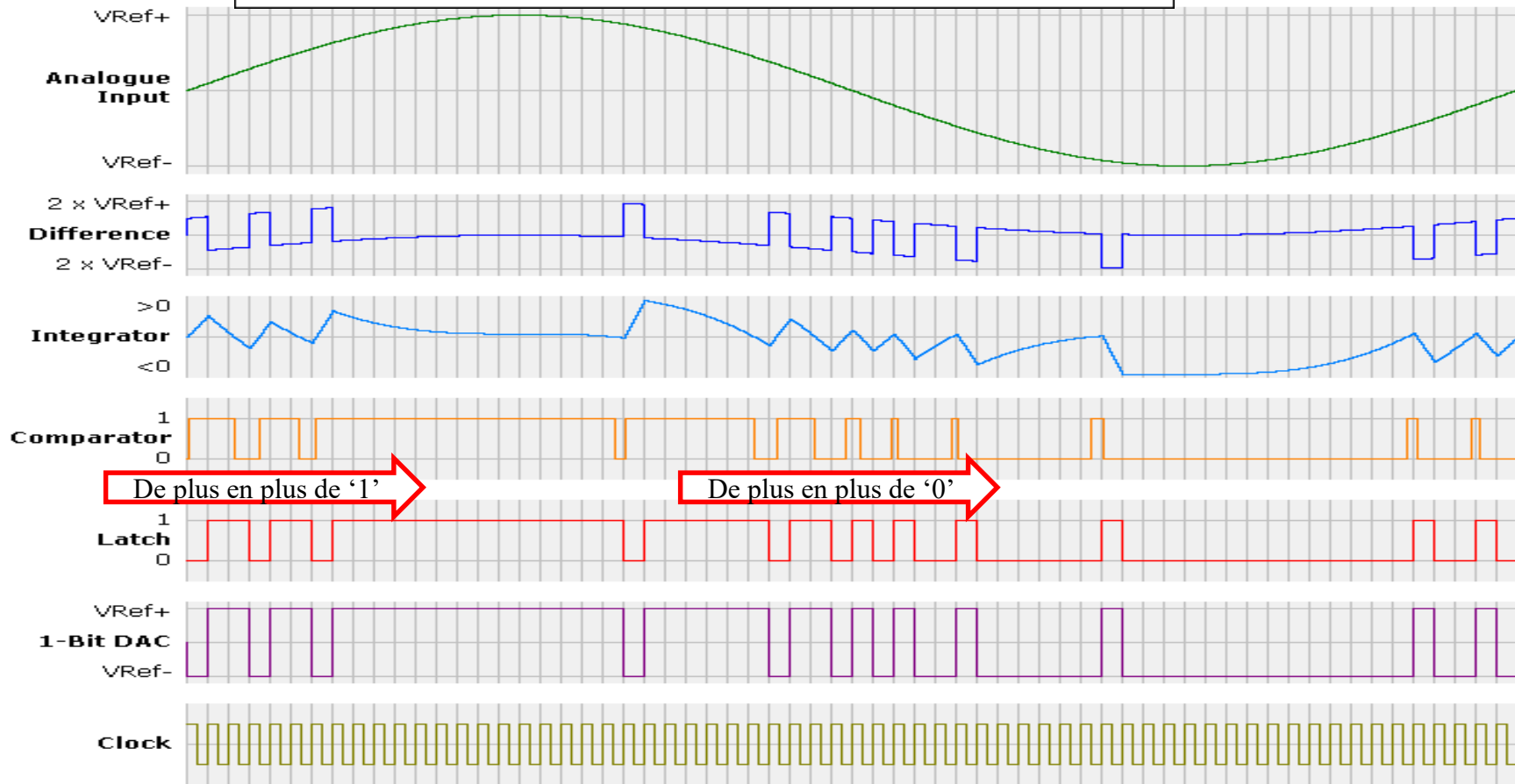
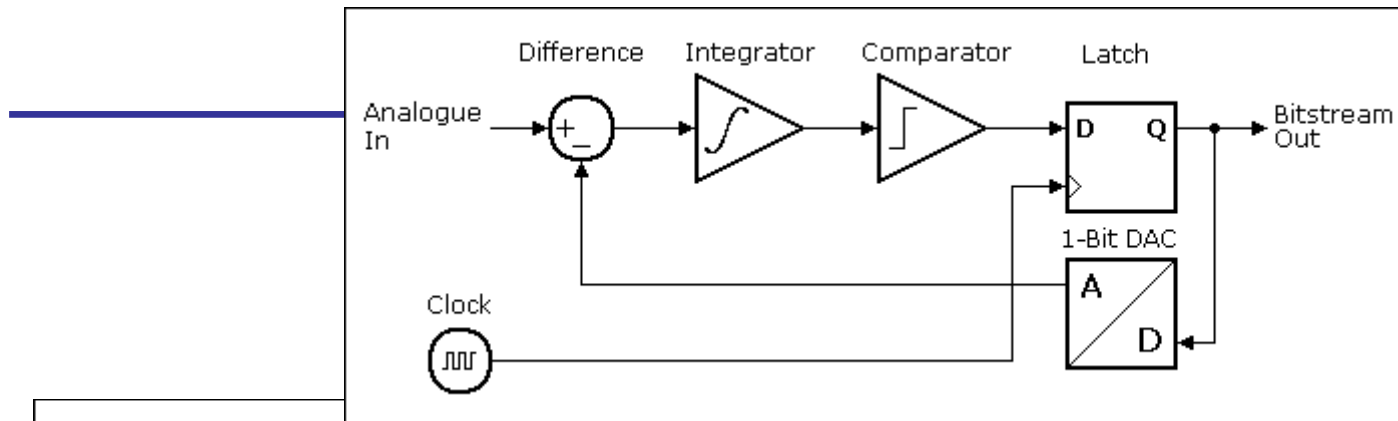
Modulation Sigma-Delta

- ❑ Le convertisseur Delta- Sigma quantifie la différence (**Delta**) entre le signal courant et la somme (**Sigma**) des différences précédentes.
- ❑ Un **intégrateur** est placé à l'entrée du **quantificateur** (Comparateur).
- ❑ La boucle de rétroaction force la moyenne du signal W à être égale au signal d'entrée X. Grâce à la boucle de contre-réaction , le niveau moyen de W représente le niveau moyen du signal d'entrée.

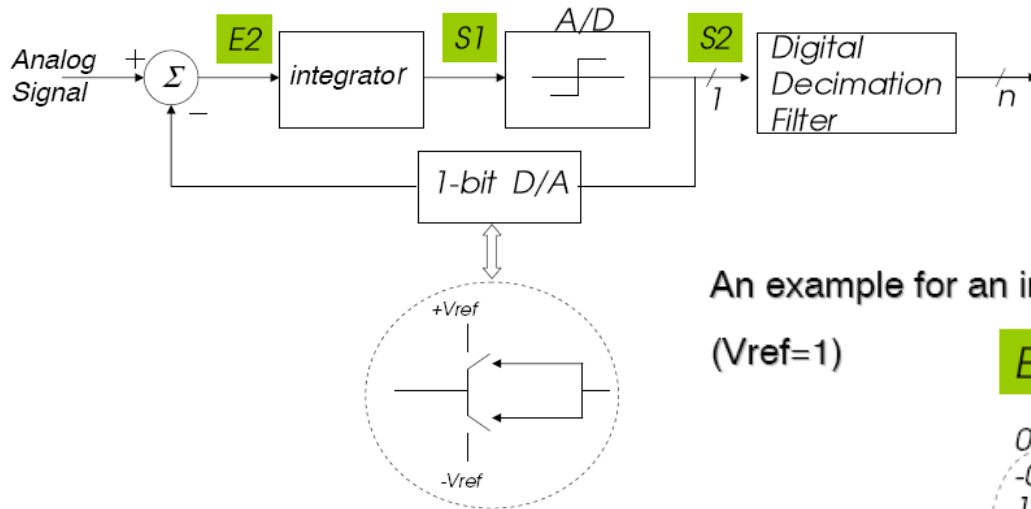


<http://www.thdstudio.com/Conversion-Delta-Sigma.htm>

Modulation Sigma-Delta



ADC sigma delta



An example for an input analog signal equal to 0.6v:

(Vref=1)

E2	S1	S2
0.6	0	1
-0.4	-0.4	-1
1.6	1.2	1
-0.4	0.8	1
-0.4	0.4	1
-0.4	0	1
-0.4	-0.4	-1
....		

The decimation filter computes a moving average of S2:

$$\text{DecimOut} = (-1+1+1+1+1)/5=3/5=0.6$$

The loop tends to maintain the integrator output at 0. Thus:

$$[(E + V_{\text{ref}}) \times 1] + [(E - V_{\text{ref}}) \times 4] = 0 \Leftrightarrow E = (3/5)V_{\text{ref}}$$

ADC Sigma-Delta: sur-échantillonnage

❑ Rappel: un ADC idéal génère un bruit de valeur efficace (rms) $Q/\sqrt{12}$

❑ Définissons:

- ❑ F_s : fréquence d'échantillonnage
- ❑ F_u : fréquence utile du signal d'entrée
- ❑ k , le facteur de sur-échantillonnage par rapport à la condition de Nyquist:

$$k = \frac{F_s}{2F_u}$$

❑ Bruit de quantification en fonction de k , intégré sur la bande utile F_u :

$$n^2 = \int_0^{F_u} v^2(f) df = v_{rms}^2 \cdot \left(F_u \cdot \frac{1}{F_s/2} \right) = v_{rms}^2 \cdot \frac{1}{k}$$

❑ SNR en fonction de k :

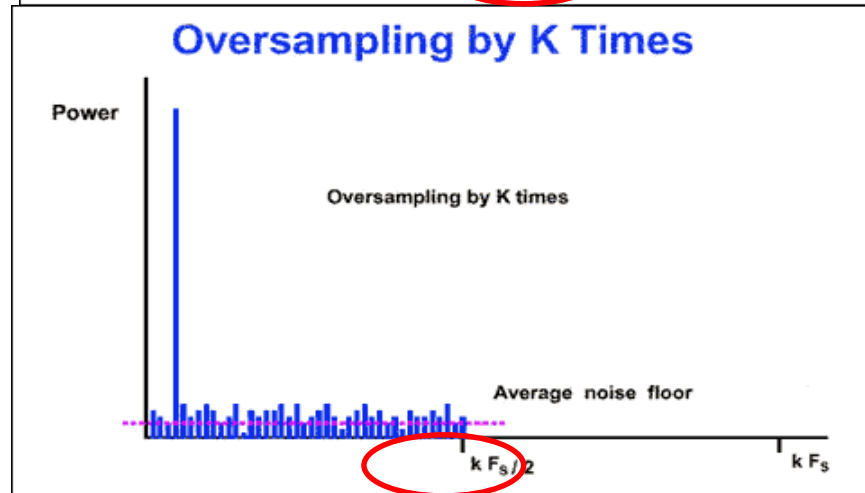
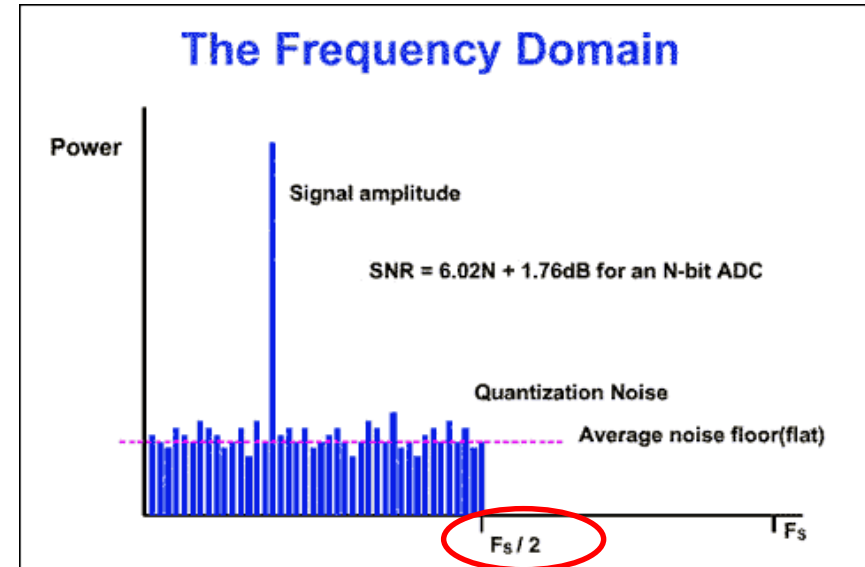
$$SNR = 6,02N + 1,76 \text{ dB} + 10 \log(k)$$

En fixant $k = 2^M$, avec $M=1, 2, 3 \dots$

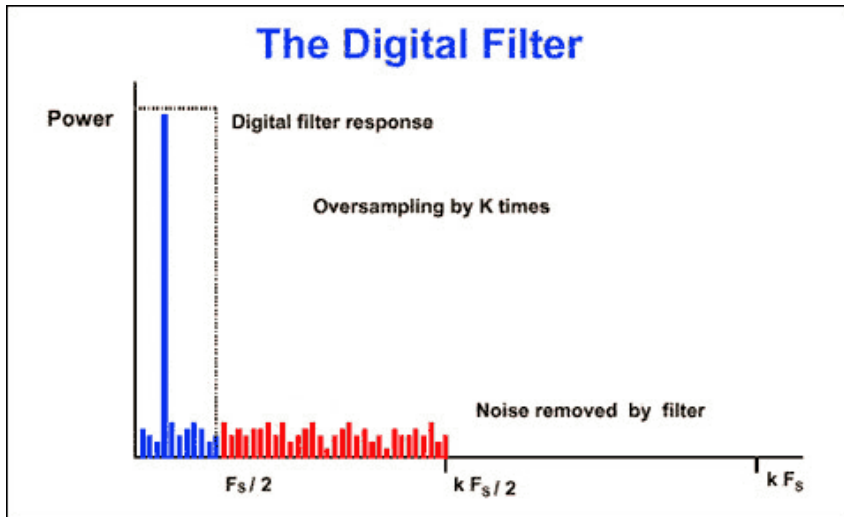
$$SNR = 6,02N + 1,76 \text{ dB} + M \cdot 3 \text{ dB}$$



Chaque fois que la fréquence d'échantillonnage est doublée, la résolution de l'ADC est augmentée de 0,5 bit.



ADC Sigma-Delta au niveau fréquentiel



- ❑ Un filtre numérique (FIR) permet de rejeter le bruit hors de la bande utile

→ Permet d'obtenir des grandes dynamiques avec des ADC faibles résolutions.

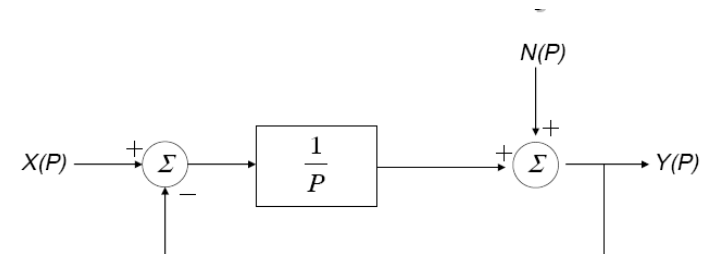
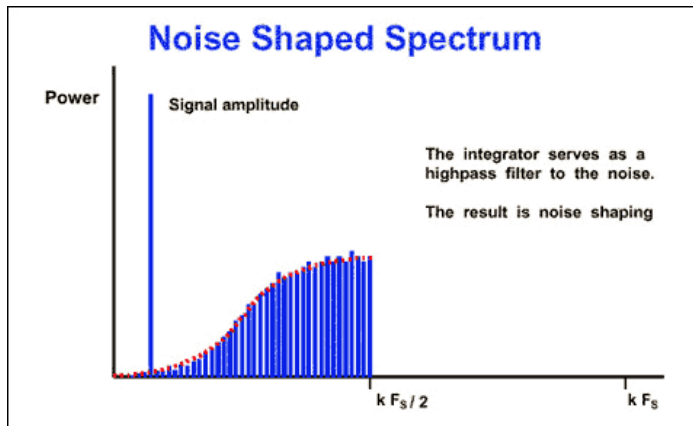
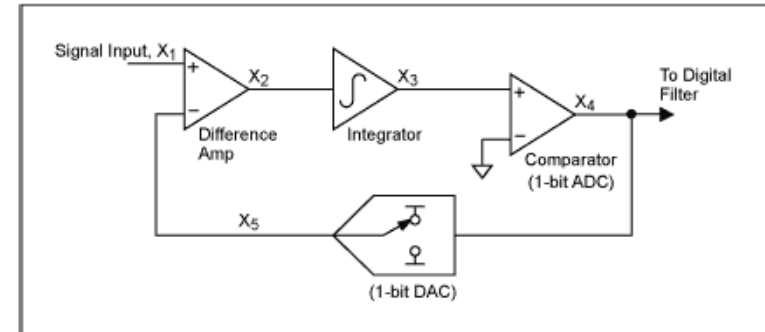
- ❑ Exemple:

- SNR d'un ADC de 1bit = 7,78 dB
- Un facteur 4 d'*oversampling* entraîne un gain de 6dB sur SNR, soit un ADC de 2 bits
- Pour obtenir un ADC de 16 bits, facteur de 415 → pas réalisable

- ❑ Les ADC S-D contournent cette difficulté par une technique de mise en forme du bruit « noise shaping »
 - On a ainsi un gain supérieur 6dB avec un facteur 4 d'*oversampling*

ADC Sigma-Delta, noise shaping

- ❑ En additionnant l'erreur de tension, l'intégrateur agit comme un filtre passe bas pour le signal d'entrée et un filtre passe haut pour le bruit de quantification.
- ❑ Le bruit de quantification est « poussé » dans les hautes fréquences
 - « Oversampling » change la distribution du bruit mais sa puissance totale reste identique.



P-domain analysis of a 1st order

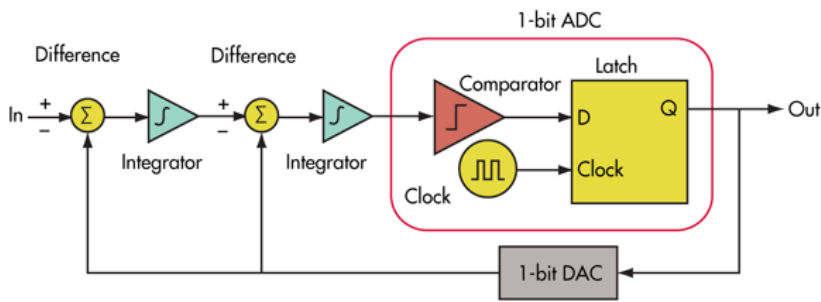
Signal transfer function: $Y(p) = [X(p) - Y(p)] \times \frac{1}{p} \Rightarrow \frac{Y(p)}{X(p)} = \frac{1/p}{1+1/p} = \frac{1}{1+p}$ Low pass filter
 $(N(p)=0)$

Noise transfer function: $Y(p) = N(p) - Y(p) \frac{1}{p} \Rightarrow \frac{Y(p)}{N(p)} = \frac{1}{1+1/p} = \frac{p}{1+p}$ High pass filter
 $(X(p)=0)$

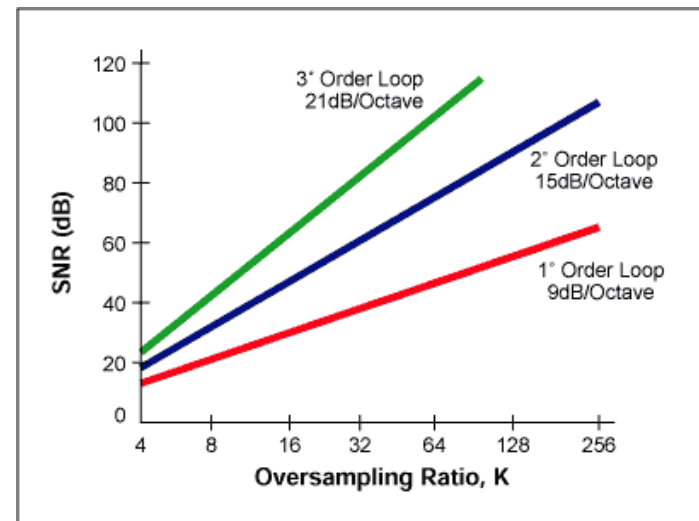
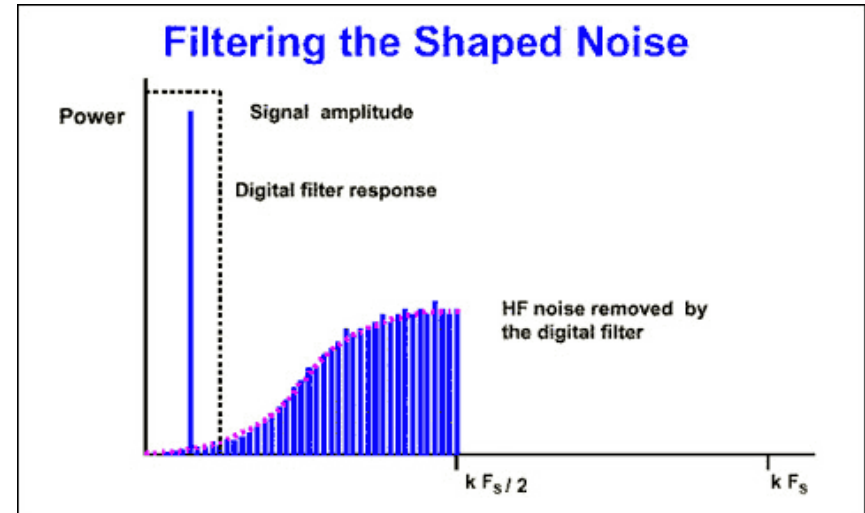
ADC Sigma-Delta noise shaping

- ❑ On a supprimé plus de bruit qu'un simple « oversampling »
- ❑ 1^{er} ordre:
 - 9dB amélioration pour le SNR en doublant le taux d'échantillonnage.
- ❑ 2^{ème} ordre:
 - 15dB amélioration pour le SNR en doublant le taux d'échantillonnage.

Typically, the modulator takes an order that is greater than one (Fig. 7).



7. The order of modulator dictates the order of filter that follows. Generally, the order of the filter is equal to the order of modulator, plus one.



Conclusions ADC ou Σ - Δ

- Applications avec des bandes passantes entrée faibles, 1MHz: systèmes de communication, grand public et audio professionnel, applications industrielles, et des dispositifs de mesure de précision
- Ces convertisseurs transposent la majeure partie du process de conversion dans le domaine numérique. Cela permet de combiner plus aisément des hautes performances analogiques avec un traitement numérique.
- Utilisés dans l'audio avec des bandes passantes de 22kHz
- Résolution 16bit-24bits
- Faible consommation, faible coût
- Pas de composants externes
- Pas de trimming ni de calibration
- Pas de filtre anti-repliement en entrée car la fréquence d'échantillonnage est plus grande que la bande passante effective.
- Filtre de décimation: «*Decimation rate* » de 32 correspond à 1 valeur en sortie pour 32 mesures effectuées

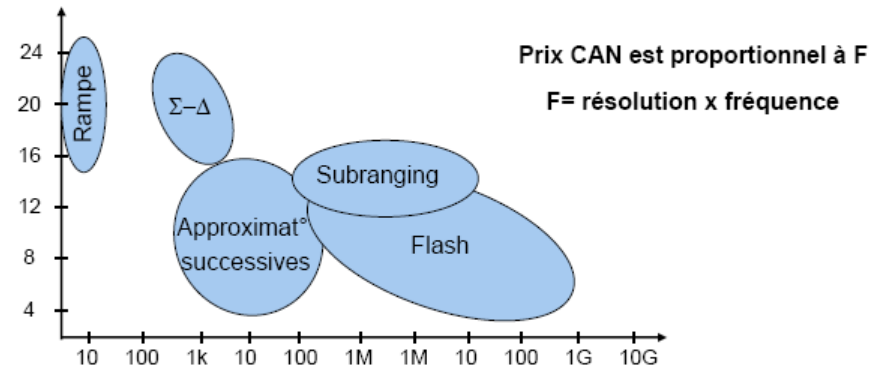
Architectures ADC

Bilan des « courses »

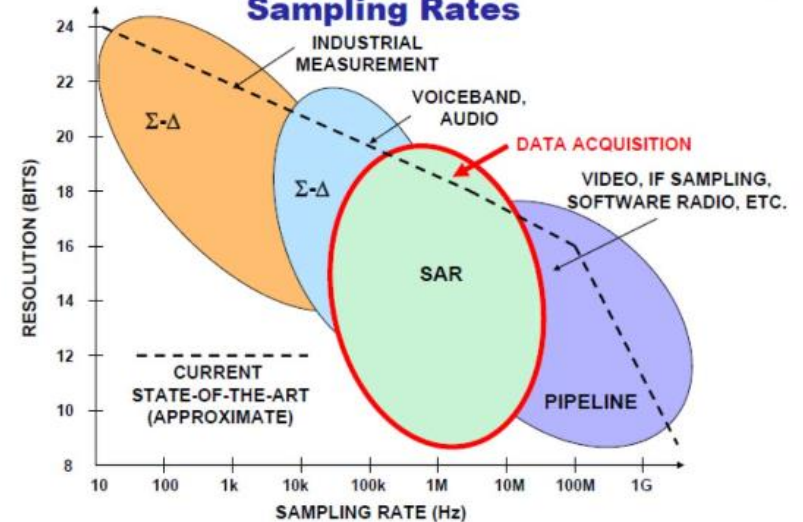
ADC bilan

Pick This Architecture if you want:	FLASH (Parallel)	SAR	DUAL SLOPE (Integrating ADC)	PIPELINE	SIGMA DELTA
	Ultra-High Speed when power consumption not primary concern?	Medium to high resolution (8 to 16bit), 5Mps and under, low power, small size.	Monitoring DC signals, high resolution, low power consumption, good noise performance ICL7106.	High speeds, few Msps to 100+ Msps, 8 bits to 16 bits, lower power consumption than flash.	High resolution, low to medium speed, no precision external components, simultaneous 50/60Hz rejection, digital filter reduces anti-aliasing requirements.

Conversion Method	N bits - $2^N - 1$ Comparators Caps increase by a factor of 2 for each bit.	Binary search algorithm, internal circuitry runs higher speed.	Unknown input voltage is integrated and value compared against known reference value.	Small parallel structure, each stage works on one to a few bits.	Oversampling ADC, 5-Hz - 60Hz rejection programmable data output.
Encoding Method	Thermometer Code Encoding	Successive Approximation	Analog Integration	Digital Correction Logic	Over-Sampling Modulator, Digital Decimation Filter
Disadvantages	Sparkle codes / metastability, high power consumption, large size, expensive.	Speed limited to ~5Mps. May require anti-aliasing filter.	Slow Conversion rate. High precision external components required to achieve accuracy.	Parallelism increases throughput at the expense of power and latency.	Higher order (4th order or higher) - multibit ADC and multibit feedback DAC.
Conversion Time	Conversion Time does not change with increased resolution.	Increases linearly with increased resolution.	Conversion time doubles with every bit increase in resolution.	Increases linearly with increased resolution.	Tradeoff between data output rate and noise free resolution.
Resolution	Component matching typically limits resolution to 8 bits.	Component matching requirements double with every bit increase in resolution.	Component matching does not increase with increase in resolution.	Component matching requirements double with every bit increase in resolution.	Component matching requirements double with every bit increase in resolution.
Size	$2^N - 1$ comparators, Die size and power increases exponentially with resolution.	Die increases linearly with increase in resolution.	Core die size will not materially change with increase in resolution.	Die increases linearly with increase in resolution.	Core die size will not materially change with increase in resolution.

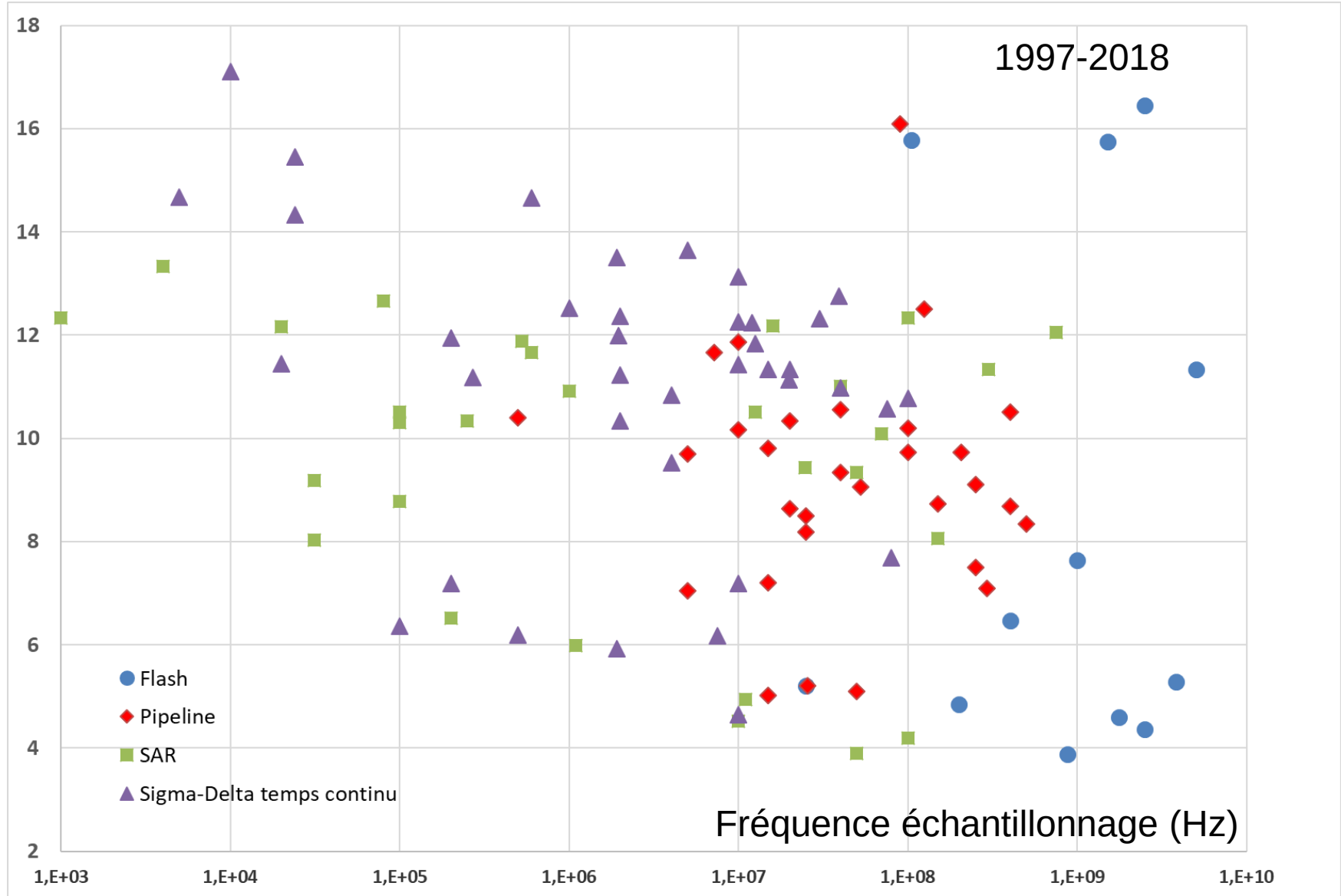


ADC Architectures, Applications, Resolution, Sampling Rates



<https://pdfserv.maximintegrated.com/en/an/AN2094.pdf> de 2003

ENOB (bit)



B. Murmann, "ADC Performance Survey 1997-2018," [Online].
Available: <http://web.stanford.edu/~murmman/adcsurvey.html>.

Références

- Voir indications sur les diapo, mais également (et surtout):
- ❑ Analog-to-digital conversion, Marcel Pelgrom (Springer)
 - ❑ Cours sur les ADCs de Marc Sabut (ST Microelectronics)
 - ❑ Thèse, Cho (Berkeley)

Annexes

INL : non linéarité intégrale

- ❑ INL est l'écart de la fonction de transfert de l'ADC par rapport à la meilleure droite (« fit » avec annulation des erreurs de gain et d'offset)
- ❑ INL est l'intégrale de la DNL.
- ❑ INL de ± 2 LSB pour un ADC de 12-bit signifie que la non linéarité max sera de $\pm 2/4096$ or $\pm 0.05\%$.

$$INL(i) = \frac{V_i - V_i^*}{1LSB} - 1$$

