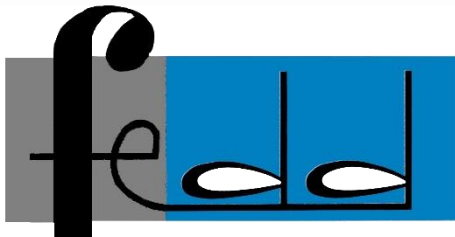




*Comment passer d'un bon schéma à une bonne carte :
Dans le design d'un PCB/PCBA : le détail est stratégique !*

Roscoff, 27 Septembre 2018



Cédric DELAGE

Nicolas FEYFANT





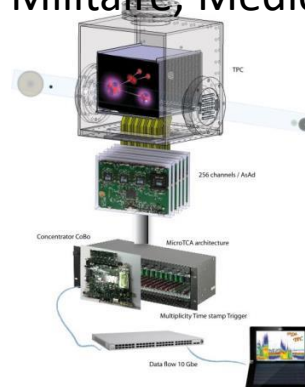
Introduction

Notre Entreprise :

- Création 1981
- > 280 employés sur 4 sites (24, 19, 31)
- > 45M€ de CA

Notre Métier :

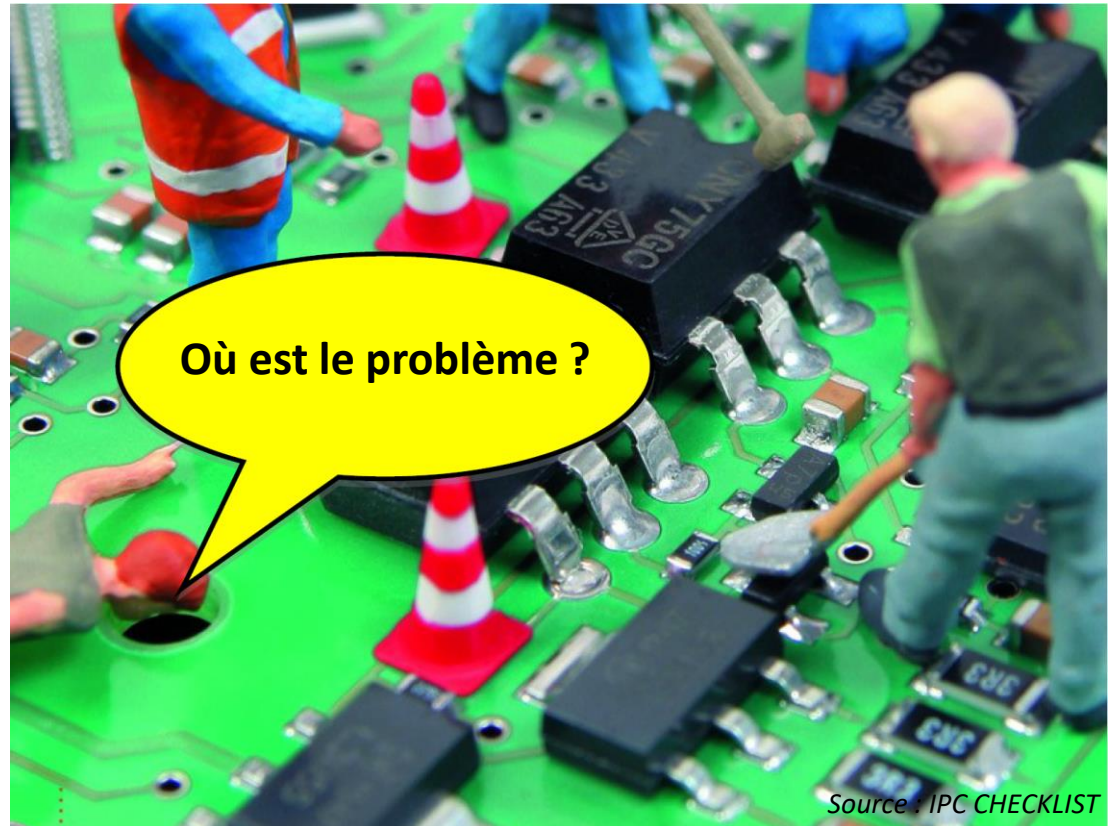
- EMS impliqué dans l'**industrialisation** de produits de haute fiabilité et/ou haute technologie
- Petites et moyennes séries
- Aéronautique, Ferroviaire, Militaire, Médical, Scientifique, Energie, ...





Sommaire

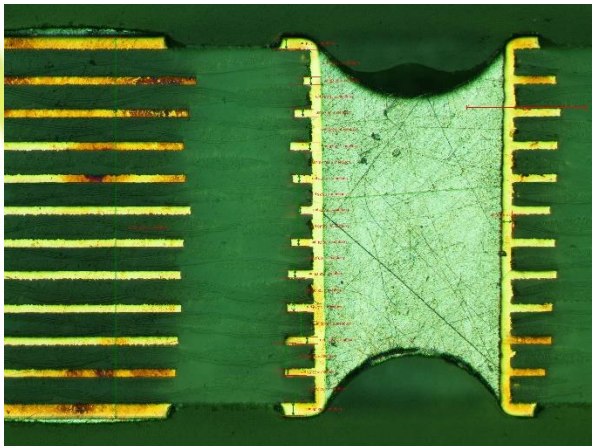
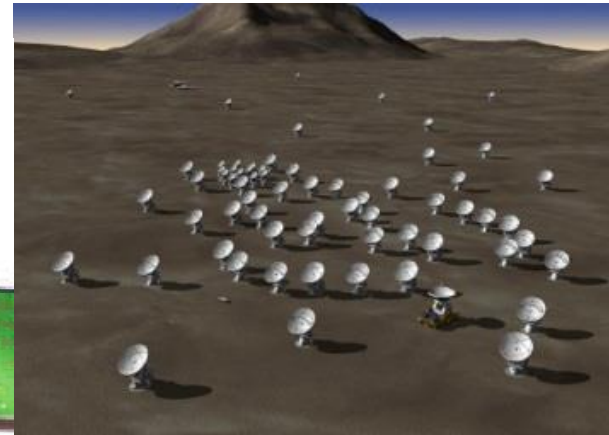
- 1) Introduction
- 2) 1000 et 1 raisons de planter un projet
- 3) Des exemples
 - composants majeurs
 - data-sheet
 - matières
 - techno
 - etc...
- 4) Une (la?) solution
- 5) Questions/Réponses



Source : IPC CHECKLIST



Préambule...



19 BGAs (16 Stratix 672 billes + 3 xilinx)

12 couches

35 μ m

>1000 trous de 0,3

Epaisseur 1,6mm

≈ 2h00 de perçage/carte

≈ 5forets/carte

550 cartes sur 24 mois





Introduction

Ce que tout le monde veut :

- Un temps de développement le plus court possible (Time To Market)
- Un coût de développement le plus bas possible (Sous-traitance)
- Un produit « Bon du Premier Coup »
- Un produit avec la meilleure marge possible (Composant/PCB faible coût)

Ce qui se passe bien trop souvent :

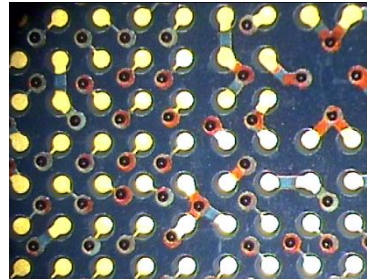
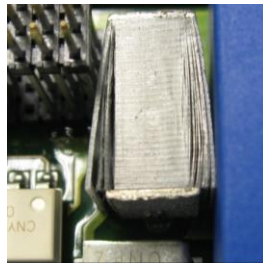
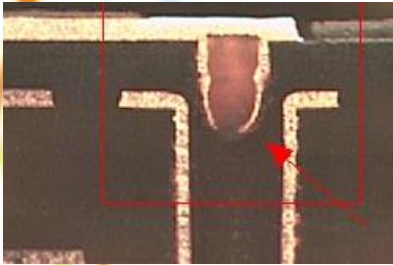
- Des évolutions (client, normes, marketing)
- Des compromis entre le besoin et ce qui est réalisable
- Des itérations pour corriger les erreurs (schémas, dispo appros)
- Des surcoûts (composants, contrôles pièces NC, réparations)





Introduction

Ce que tout le monde veut éviter !



Dans le design d'un PCB/PCBA : le détail est stratégique !

Il y a Mille et Une raisons de planter un projet malgré des outils et des compétences de plus en plus performants, ceci car le time-to-market est de plus en plus court, sans oublier que les budgets sont souvent très limités.



1000 et 1 raisons de planter un projet

N°	Paramètres PCBA Rigide	Variables
1	Choix du Boîtier Composant	50
2	Choix de la Finition de Surface Composants. J-STD-002	10
3	CAO selon l'IPC-2221 & 2222 Classe 1,2 ou 3	3
4	CAO selon l'IPC-2221 & 2222 Niveau A, B ou C	3
5	Empreinte/Plage selon l'IPC 7351 Niveau A, B ou C	3
6	Demande de refroidissement dans/sur PCBs	2
7	Conception/CAO de QFN. IPC 7093	3
8	Conception/CAO de BGA/CSP. IPC 7095	3
9	Conception/CAO des écrans. IPC 7525	5
10	Placement des Composants	10
11	Choix du matériau de base PCB. IPC 4101	8
12	Choix du matériau de base feuille Cuivre. IPC 4562	2
13	Choix du vernis épargne. IPC-SM-840	3
14	Choix de la Finition de Surface PCB. IPC-4552, 4553 ou 4554	5
15	Choix de Manipulation et de Stockage PCB. IPC-1601	2
16	Vieillessement/Mouillage du PCB. J-STD-003	3
17	Etapes du Procédé de Fabrication PCB chez le fournisseur. IPC-6011 et 6012	20
18	Différentes options écran/impression. IPC 7526 et 7527	5
19	Options Crème à Braser /Barre/ Fil. J-STD-005 et 006	17
20	Flux avec Options Crème à Braser/ Barre/ Fil. J-STD-004	5
21	Options Refusion/Phase Vapeur/Vague/Sélectif/Manuel	5
22	Choix de l'atmosphère de brasage (sans O2, N2 ou Air)	3
23	Choix du procédé Plombé ou Sans Plomb	2
24	Choix du cycle (thermique) du procédé. J-STD-020 et 075	10
25	Choix du Niveau de Sensibilité à l'Humidité (MSL). J-STD-033	5
26	Choix de la méthode de nettoyage. IPC-CH-65	4
27	Vernis de Tropicalisation	3
28	Exigences des Assemblages Circuits Imprimés Classe 1, 2 ou 3. J-STD-001	3
29	Acceptabilité des Assemblages Circuits Imprimés Classe 1,2 ou 3. IPC-A-610	3
30	Retouche et Réparation des Assemblages Circuits Imprimés. IPC 7711-7721	3
31	Exigences/Acceptabilité des Armoires Electriques. IPC-A-630	6
32	Exigences/ Acceptabilité pour le Câblage Filaire. IPC-A-620	3
	Total des variables	212

IPC CHECKLIST for producing Rigid PCBA's



Developed by: Lars Wallin, IPC European Representative

Source : IPC CHECKLIST

**32 paramètres,
212 variables**

=

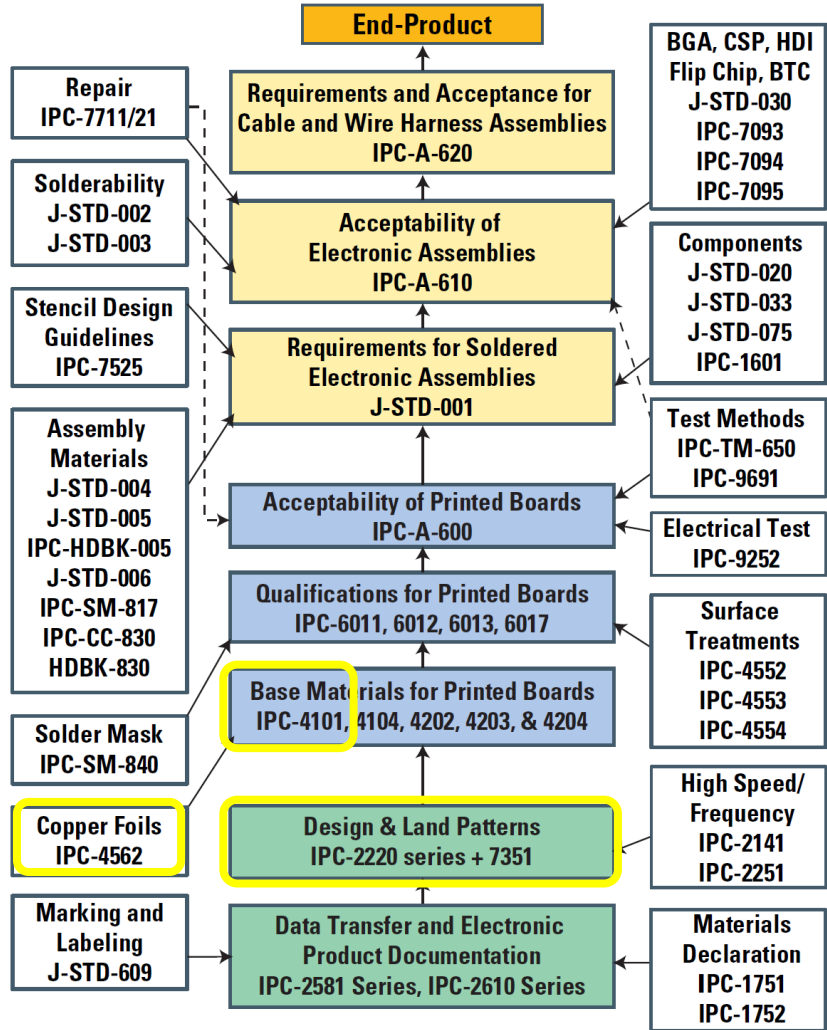
42 x 10¹⁸ combinaisons

(42 000 000 000 000 000 000)



IPC STANDARDS —
EVERYTHING YOU NEED FROM START TO FINISH

enter un projet



MORE IPC STANDARDS AVAILABLE AT
www.ipc.org/SpecTree (.pdf format)



1000 et 1 raisons de planter un projet

Exemple : éclatement de résine (haloing)

Dans la dernière version de l'IPC A 600 § 2.1.3 , l'IPC distingue 2 cas :

- Un design qui respecte les IPC de conception (222X),
donc des critères d'acceptation définis
- Un design qui ne respecte pas les IPC de conception (222X)
les critères d'acceptation seront alors à définir entre le client et le fournisseur



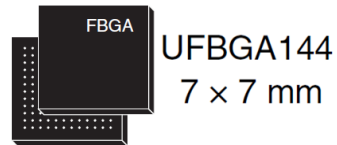


Des exemples

1 – Les composants majeurs imposent l'architecture du PCB, donc son cout



Ex : Microcontrôleur STM32, Pitch 0,5mm



Symbol	millimeters		
	Typ	Min	Max
b	0.250	0.200	0.300

Symbol	millimeters		
	Min	Typ	Max
b	0.240	0.290	0.340



Des exemples

1 – Les composants majeurs imposent l'architecture du PCB, donc son cout

Selon IPC7351B tableau 14-5 :

pour une bille de 300 μ m il faut une plage comprise entre 200 et 250 μ (UFBGA144)

pour une bille de 250 μ m il faut une plage comprise entre 170 et 200 μ (UFBGA144)



Des exemples

1 – Les composants majeurs *imposent l'architecture du PCB, donc son cout*

Selon 22221B tableau 4-16 :

Pour du vernis épargne photo imageable (99% du marché mondial à ce jour)
Il faut 51 μ m de distance minimum par rapport à la pastille.

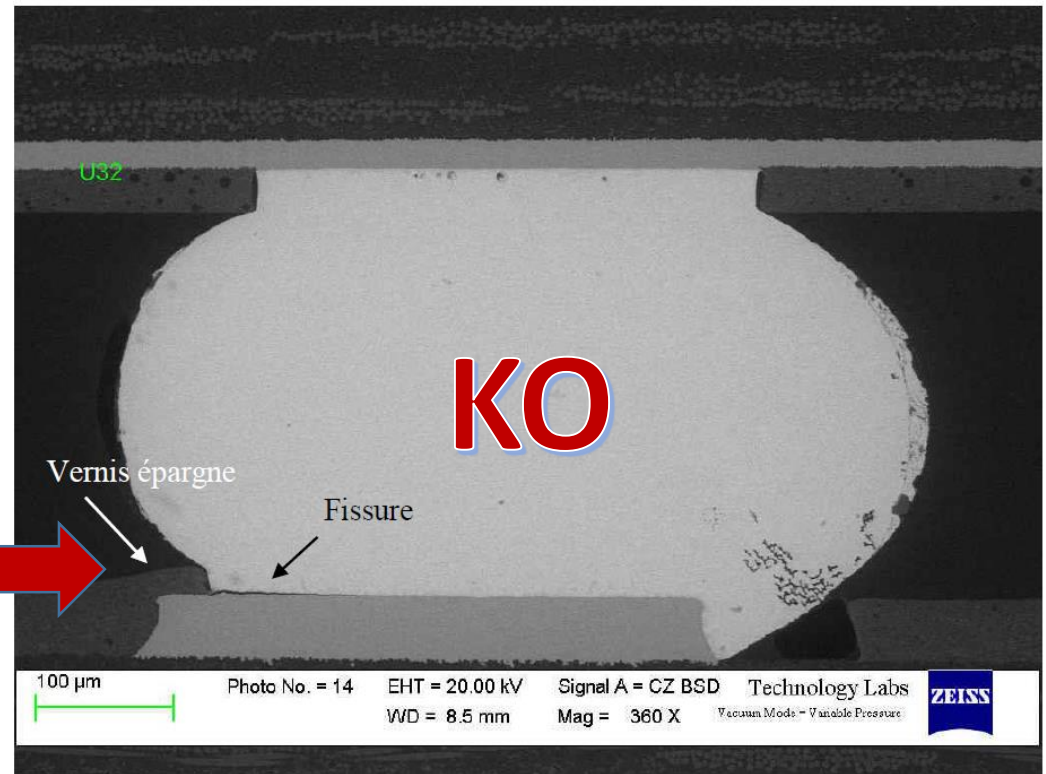
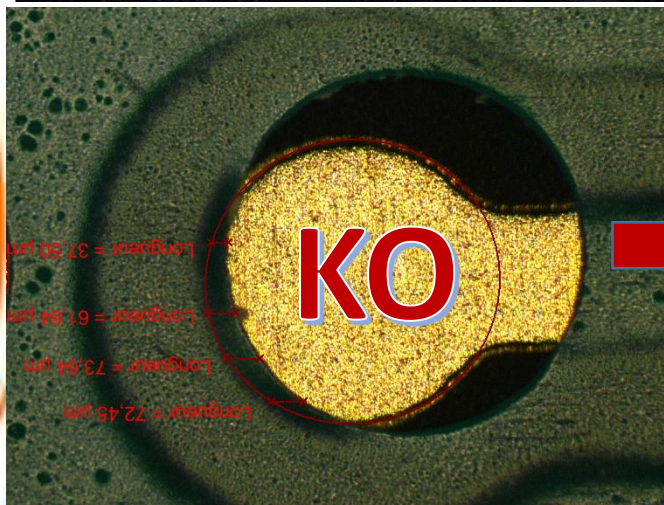
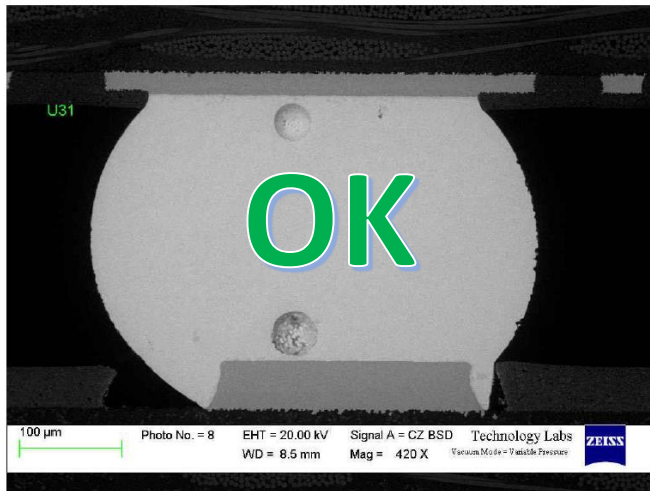
Nous recommandons pour BGAS :

Ouverture VEB = \emptyset pastille + 120 μ (>2x51 μ)



Des exemples

1 – Les composants majeurs imposent l'architecture du PCB, donc son cout



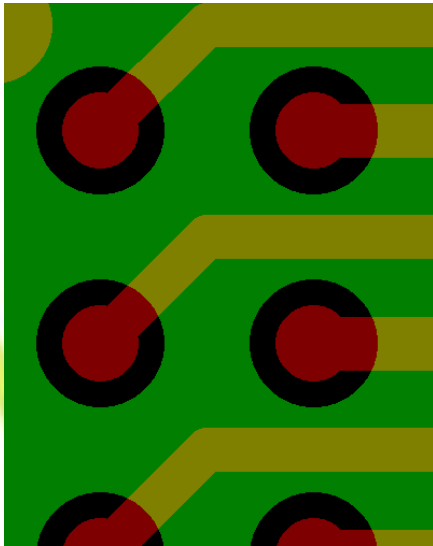


Des exemples

1 – Les composants majeurs imposent l'architecture du PCB, donc son cout

UFGBA144 : Bille Ø250 μ → Plage Ø180 μ → Veb 300 μ → Track to Pad 110 μ

UFBGA132 : Bille Ø290 μ → Plage Ø230 μ → Veb 350 μ → Track to Pad 85 μ



4 couches standard
 μ via std

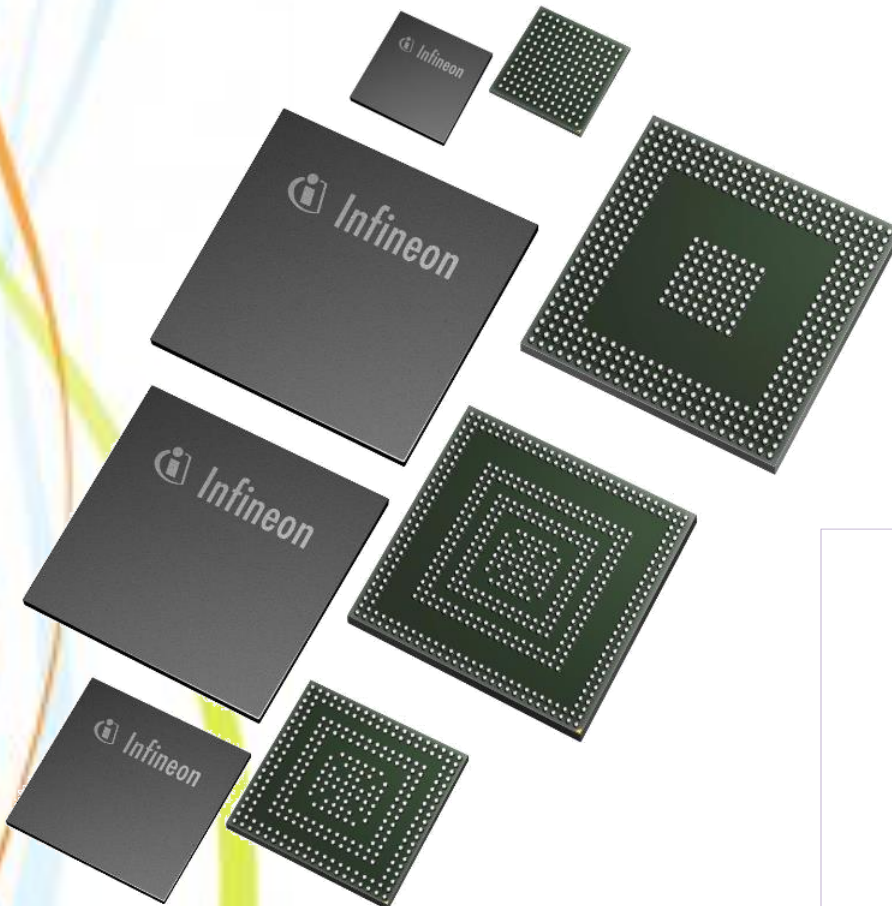


6 couches HDI
 μ via in pad + copper filling



Des exemples

1 – Les composants majeurs imposent l'architecture du PCB, donc son cout



	0.25 mm Pitch	0.5 mm Pitch	0.75 mm Pitch	1.0 mm Pitch	1.27 mm Pitch
Conventional FR-4 125 µm Line 125 µm Space 200 µm Land					
Conventional FR-4 125 µm Line 125 µm Space 300 µm Land					
High Density FR-4 100 µm Line 100 µm Space 600 µm Land					
Next Gen FR-4 60 µm Line 50 µm Space 300 µm Land					
Typical Microvia Large Form Factor 75 µm Line 100 µm Space 250 µm Land					
Typical Microvia Small Form Factor 75 µm Line 75 µm Space 250 µm Land					
Next Gen Microvia 50 µm Line 50 µm Space 50 µm Land					

Source : IPC 2226

IPC-2226-3-18

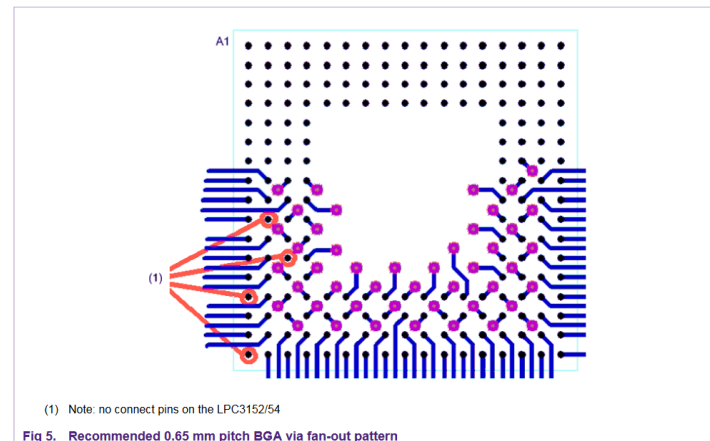


Fig 5. Recommended 0.65 mm pitch BGA via fan-out pattern



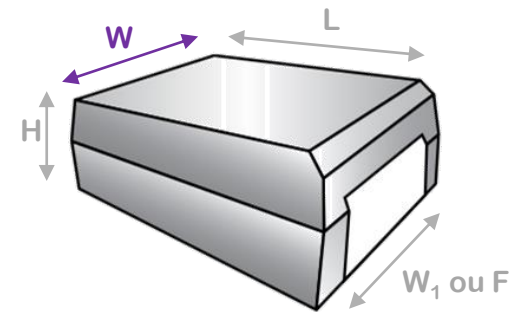
Des exemples

2 – Boitier/Dimensions des composants : Homogénéité entre fabricants

CASE DIMENSIONS: millimeters (inches)

Code	EIA Code	Variant	L±0.20 (0.008)	W+0.20 (0.008) -0.10 (0.004)	H+0.20 (0.008) -0.10 (0.004)	W _t ±0.20 (0.008)	A+0.30 (0.012) -0.20 (0.008)	S Min.
A	3216-18	01	3.20 (0.126)	1.60 (0.063)	1.60 (0.063)	1.20 (0.047)	0.80 (0.031)	1.10 (0.043)
B	3528-21	02	3.50 (0.138)	2.80 (0.110)	1.90 (0.075)	2.20 (0.087)	0.80 (0.031)	1.40 (0.055)
C	6032-28	13	6.00 (0.236)	3.20 (0.126)	2.60 (0.102)	2.20 (0.087)	1.30 (0.051)	2.90 (0.114)
D	7343-31	14	7.30 (0.287)	4.30 (0.169)	2.90 (0.114)	2.40 (0.094)	1.30 (0.051)	4.40 (0.173)
E	7343-43	17	7.30 (0.287)	4.30 (0.169)	4.10 (0.162)	2.40 (0.094)	1.30 (0.051)	4.40 (0.173)

W_t dimension applies to the termination width for A dimensional area only.

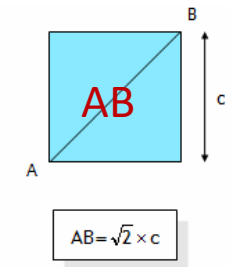
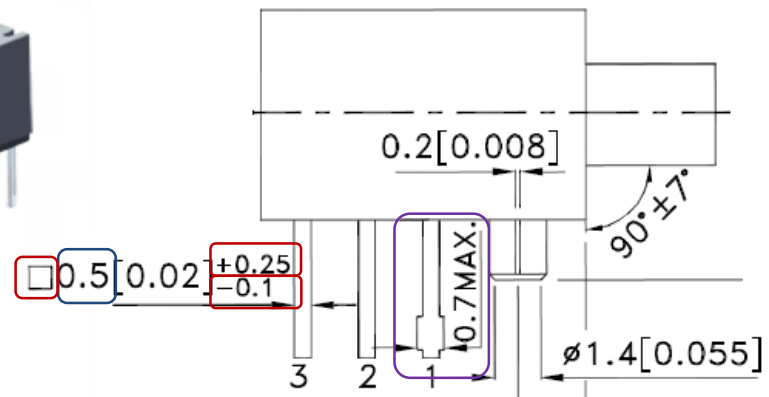


Case Size		Component						
KEMET	EIA	L*	W*	H*	F* ±0.1 ±(.004)	S* ±0.3 ±(.012)	B* ±0.15 (Ref) ±.006	X (Ref)
A	3216-18	3.2 ±0.2 (0.126 ±0.008)	1.6 ±0.2 (0.063 ±0.008)	1.6 ±0.2 (0.063 ±0.008)	1.2 (.047)	0.8 (.031)	0.4 (.016)	0.10 ±0.10 (0.004 ±0.004)
B	3528-21	3.5 ±0.2 (0.138 ±0.008)	2.8 ±0.2 (0.110 ±0.008)	1.9 ±0.2 (0.075 ±0.008)	2.2 (.087)	0.8 (.031)	0.4 (.016)	0.10 ±0.10 (0.004 ±0.004)
C	6032-28	6.0 ±0.3 (0.236 ±0.03)	3.2 ±0.3 (0.126 ±0.012)	2.5 ±0.3 (0.098 ±0.012)	2.2 (.087)	1.3 (.051)	0.5 (.020)	0.10 ±0.10 (0.004 ±0.004)
D	7343-31	7.3 ±0.3 (0.287 ±0.012)	4.3 ±0.3 (0.169 ±0.012)	2.8 ±0.3 (0.110 ±0.012)	2.4 (.094)	1.3 (.051)	0.5 (.020)	0.10 ±0.10 (0.004 ±0.004)
X	7343-43	7.3 ±0.3 (0.287 ±0.012)	4.3 ±0.3 (0.169 ±0.012)	4.0 ±0.3 (0.157 ±0.012)	2.4 (.094)	1.3 (.051)	0.5 (.020)	0.10 ±0.10 (0.004 ±0.004)
E	7360-38	7.3 ±0.3 (0.287 ±0.012)	6.0 ±0.3 (0.236 ±0.012)	3.6 ±0.2 (0.142 ±0.008)	4.1 (.161)	1.3 (.051)	0.5 (.020)	0.10 ±0.10 (.004 ± .004)

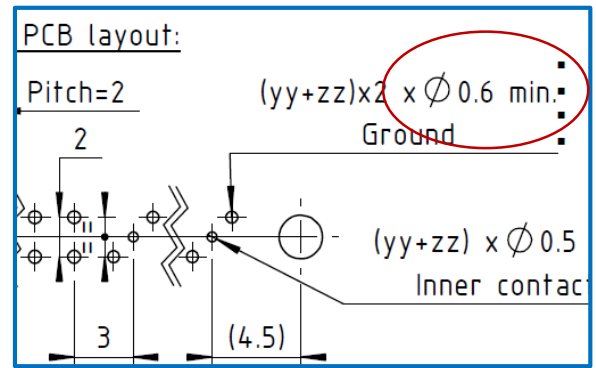
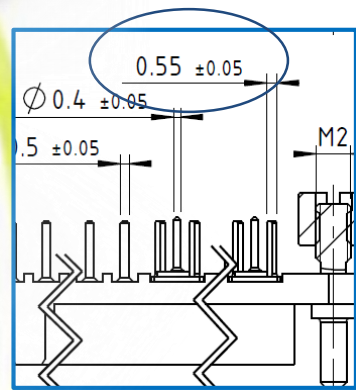
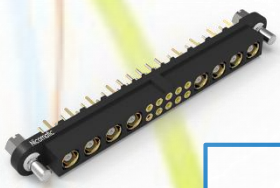


Des exemples

3 – Boitier des composants : *Datasheet ambigües*



$0,50 + 0,25 = 0,75$
 $AB = 0,75 \times \sqrt{2} = 1,06\text{mm}$
 $> 0,7 \text{ max} ?!$

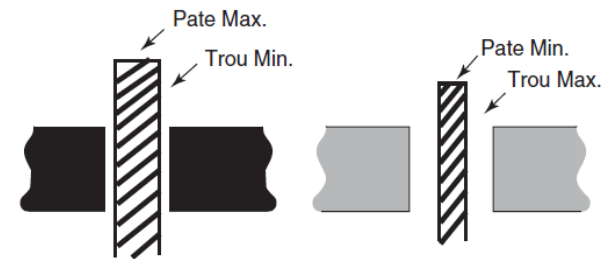
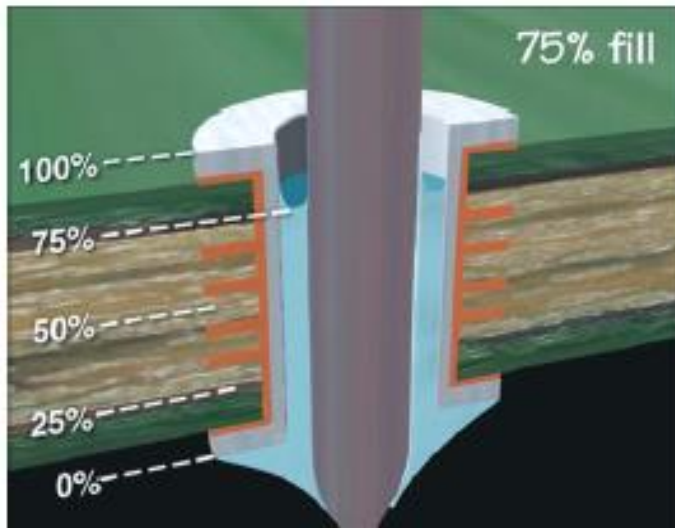


$AB_{\text{min}} = 0,50 \times \sqrt{2} = 0,71\text{mm}$
 $AB_{\text{max}} = 0,60 \times \sqrt{2} = 0,85\text{mm}$
 $\text{ØTrous IPC} = 1,25\text{mm}$



Des exemples

3 – Boitier des composants : *Datasheet ambigües* → suivre l'IPC2222 Table 9-5

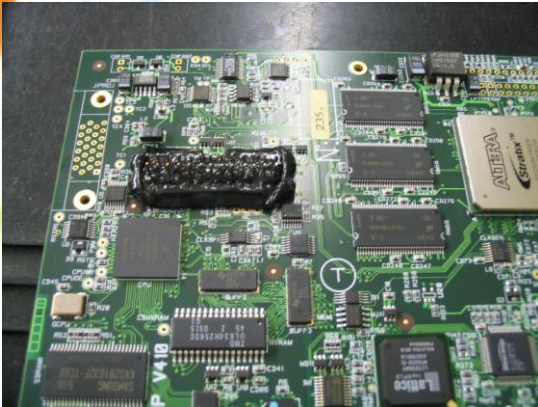


	Niveau A	B	C
Diamètre maximum du trou Vs Minimum de la broche	<700µm	<700µm	<600µm
Diamètre Minimum du trou Vs Maximum de la broche	>250µm	>200µm	>150µm



Des exemples

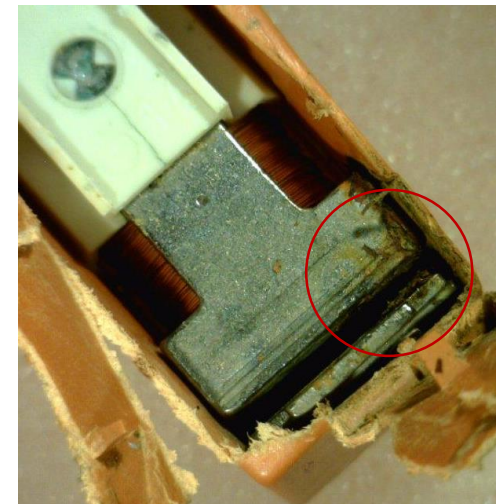
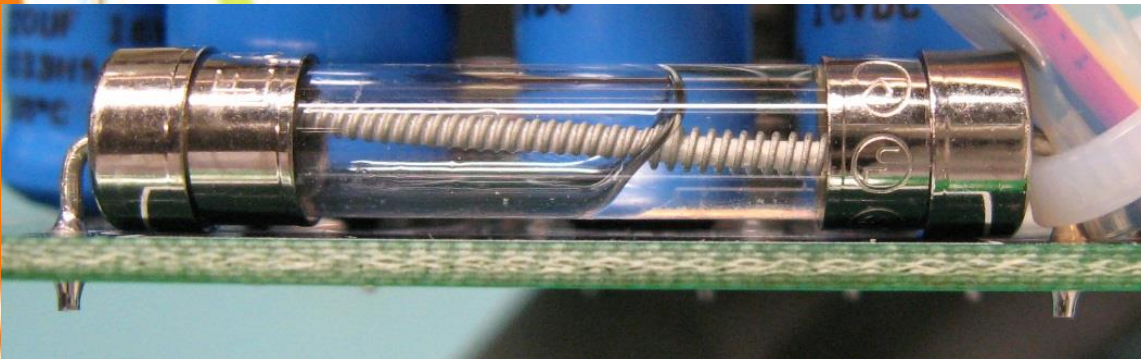
4 – Boîtier des composants : *incompatibilité aux process*



REFLOW SOLDERING

The SMD (PPS material) version of Sonitron buzzers are suitable to be used in a reflow soldering process. However, the temperature of the buzzer enclosure **should not exceed 210°C**.

We do not recommend the use of Sonitron SMD products in a lead-free reflow process due to the risk of causing damage to internal components.



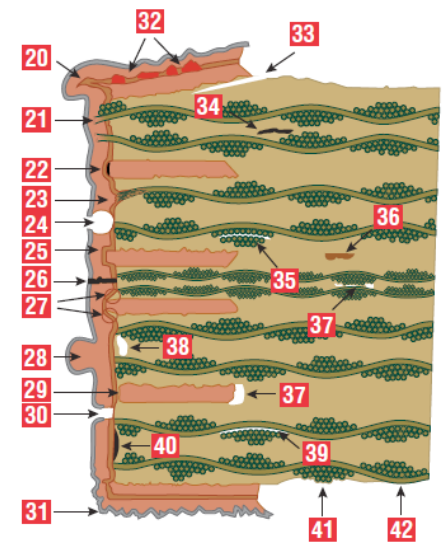
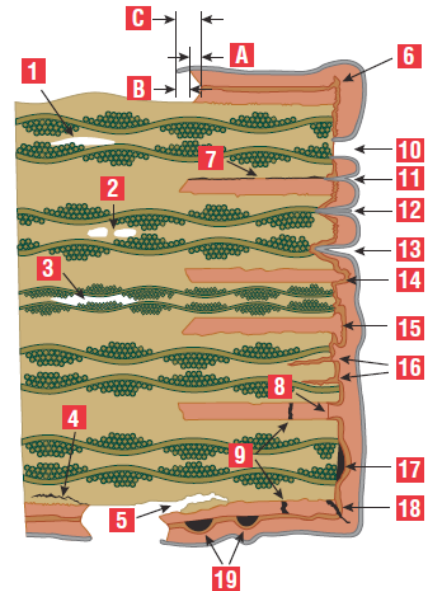


Des exemples

4 – Matériaux de base : lequel choisir ?

Phenomena in Cross Section of Plated Through Holes

- A Undercut
 - B Outgrowth
 - C Overhang
- 1 (Resin) Blistering
 - 2 Laminate Void
 - 3 (Resin) Delamination
 - 4 Pad Cratering
 - 5 Lifted Land Crack
 - 6 Burr
 - 7 Bond Enhancement removed – "Pink Ring"
 - 8 Negative Etchback
 - 9 Foil Crack
 - 10 Hole Plating Void
 - 11 Wedge Void
 - 12 Glass Fiber Void
 - 13 Glass Bundle Void
 - 14 Severe Etchback
 - 15 Nail Heading
 - 16 Drill Wall Tear/Wicking
 - 17 Hole Wall Pull Away
 - 18 Corner Crack
 - 19 (Copper) Blistering



- 20 Burr Pushed into Hole
- 21 Glass Fiber Protrusion
- 22 Innerlayer (Post) Separation
- 23 Wicking
- 24 Over Plating Resist Void
- 25 (Positive) Etchback
- 26 Barrel Crack
- 27 Shadowing
- 28 Nodule
- 29 Resin Smear
- 30 Copper & Over Plate Void
- 31 Burned Plating
- 32 Copper Foil Contamination
- 33 Lifted Land
- 34 Resin Crack Delamination
- 35 Cracking
- 36 Foreign Inclusion
- 37 Prepreg Void
- 38 Copper Clad Laminate Void
- 39 Measling
- 40 Resin Recession
- 41 Glass-Weave Texture
- 42 Glass-Weave Exposure



Association Connecting Electronics Industries

Originally Designed by
Viasystems Mommers BV, Netherlands

Reviewed by BTT-PTH
Alotech Deutschland GmbH, Berlin

Updated to Industry Standard Terminology
IPC 2010



Tableau 4-2 Avantages et inconvénients de quelques matériaux stratifiés courants

Matériau Stratifié (Désignation IPC-4101)	Temp. d'utilisation Max. °C	Constante Diélectrique (nominale) ¹	T _g °C	CTE (à T<T _g) ppm/°C ² x,y,z	Coût Relatif du Circuit Imprimé Fini ⁴	Fabricabilité du Circuit Imprimé ¹	Avantages	Inconvénients
Verre/Epoxy /21 (GF/ GFN/GFK)	110	4,5	110 min	15 ; 90	1,0	****	- Largement disponible - Facile à mettre en œuvre - Circuits de grandes tailles	- Faiblement réparable - Temp. Max. 110 °C - Sensible aux dommages induits par la temp.
/23 (GH/ GHN/GHP)	170	4,5	135 à 185	15 ; 60	1,0	****	Comme les GFN, plus : - Haute temp. d'utilisation - Réparable	Peu disponible
/24 (GF/ GFG)	130	4,5	150 à 200	15 ; 60	1,0	****	Comme les GFN, plus : - Haute temp. d'utilisation - Réparable	- Coût légèrement plus élevé que les GFN
/25 (GF/ GFG)	130	4,5	150 à 200	15 ; 60	2,5	****	Comme les GFN, plus : - Haute temp. d'utilisation - Réparable	- Coût légèrement plus élevé que les GFN
/26 (GFG/ GFT)	150	4,5	170 à 220	15 ; 60	1,0	****	Comme les GFG, plus : - Haute temp. d'utilisation - Réparable	- Coût légèrement plus élevé que les GFG
Verre/ Polyimide	170	4,1	200 min	11-15 ; 75	2,5	****	- Haute temp. d'utilisation	- Coût supérieur au FR-4

Des exemples

ICATIONS & FABRICATION TECHNICAL INFORMATION CONTACT

TD	H2O ABSORP	TC (W/M- K)	IPC4101+ CLASS	COMMENTS
5%	(%)			
389	0.21	0.20	GIL / 40 / 41	Max Flame Retardance
407	0.26	0.20	GIL / 40 / 41	Reduced Cure Time
>400	0.40	0.50	N/A	Hole/Via Fill Compound
407	0.30	0.25	GIL / 40 / 41	For Via/Clearance Hole Filling
407	0.27	0.20	GIL / 40 / 41	Optimum Long Term Stability

PTFE IPC-4103	150	2,5 – 10,0	N/A	--	10,0	*	- Faible atténuation de signaux	- Fluage à froid - Fabricabilité médiocre
---------------	-----	------------	-----	----	------	---	---------------------------------	--

Product	CTE Z-axis	T _g
18SHR	2.7	110
254	3.4	110
370 TURBO®	3.5	110
370HR	2.8	110
A11	N/A	110
Astra® MT77	N/A	200
DE104	4.2	110
ED130UV	N/A	110
FR402	4.2	140
...

I-Speed®	2.7	110	/42 (GI/GIJ)	170	4,1	200 à 250	11-15 ; 75	2,5	****	- Haute temp. d'utilisation - Réparable - Disponible	- Coût supérieur au FR-4 - Plus hygroscopique que les FR-4
I-Tera® MT40	2.8	210									
I-Tera® MT40 (RF/MW)	N/A	2									
IS300MD	2.9	1	Tissus de Polyaramide /50 (AF)	125 (jusqu'à 140 pour certains matériaux)	3,6	125 à 190	7-9 ; 100	12,0	**	- Bas CTE en X-Y - Léger - Disponible avec des epoxys multifonctionnelles au T _g de 150-180 °C	- Temp. d'utilisation Max. 125 °C - Faiblement réparable - Peu disponible
IS400	3.3	1									
IS400HR	3.0	1									
IS410	3.5	1	Mat de Polyaramide /53 (BI)	190	3,6	220 min	10-12 ; 110	7,0	***	- Bas CTE en X-Y - Léger - Plus haute temp & meilleure fabricabilité	- Faiblement réparable - Peu disponible
IS415	2.8	2									
IS420	2.8	1									
IS620i	2.8	2	Verre S/Cyanate Ester /70 (SC)	170	3,5	235	8.5-9.2 ; 44	4,5	**	- Expansion dans l'axe Z - Stabilité à l'humidité - Léger	- Peu disponible
IS680	N/A	2									
IS680 AG	N/A	2									
IS680 AG -348	N/A	2	Tissus de Verre/Epoxy /99	150	4,2	180	15-17 ; 55	1,0	*****	- Faible CTE en Z - Haute Temp. de Décomposition	- Plus cher qu'un FR-4 sans Plomb
P25N	--	2									
P95/P25	1.5	2	Tissus de Verre/Epoxy /124	150	3,7	180	13-14 ; 65	1,0	*****	- Faible CTE en Z - Haute Temp. de Décomposition	- Plus cher qu'un FR-4 sans Plomb
P96/P26	1.5	2	Tissus de Verre/Epoxy /129	150	3,7	180	65	1,0	*****	- Faible CTE en Z - Haute Temp. de Décomposition	- Plus cher qu'un FR-4 sans Plomb
Tachyon® 100G	2.5	2									
TerraGreen®	2.9	2	PTFE IPC-4103	150	2,5 – 10,0	N/A	--	10,0 -20,0	*	- Faible atténuation de signaux	- Fluage à froid - Fabricabilité médiocre
TerraGreen® (RF/MW)	N/A	2									

Note 1. Plus le nombre d'astérisques est élevé, plus la fabricabilité est bonne. Basé sur les considérations de stabilité dimensionnelle, de consistance matérielle et de traitement spécial.

340	<1.00	0.30	GII /42	Rigid Flex Applications
330	<1.00	0.30	GII /42	Enhanced Rheology Rigid Flex
315	0.10	0.25	GFG /21	Heat Sink Bond, Low Temp Cure
303	0.10	0.25	GFG /26	Rigid Flex, Heat Sinks
358	0.15	0.25	GFG /126	Lead-Free Solderable, Rigid-Flex
0.10	0.30	GFG /98	For Via/Clearance Hole Fill	
0.10	0.25	GFG /26	High Layer Count MLBs	
>300	0.80	0.22	AFN /50	Kevlar® X-Y CTE of 5-7 ppm/°C
368	0.30	0.20	BFG /55	X-Y CTE of 6-9 ppm/°C
426	0.60	0.20	BIL /53	X-Y CTE of 7-9 ppm/°C
407	0.20	0.27	GIL / 40 / 41	CIC = Copper-Invar-Copper



Des exemples

6 – Finitions : laquelle choisir ?

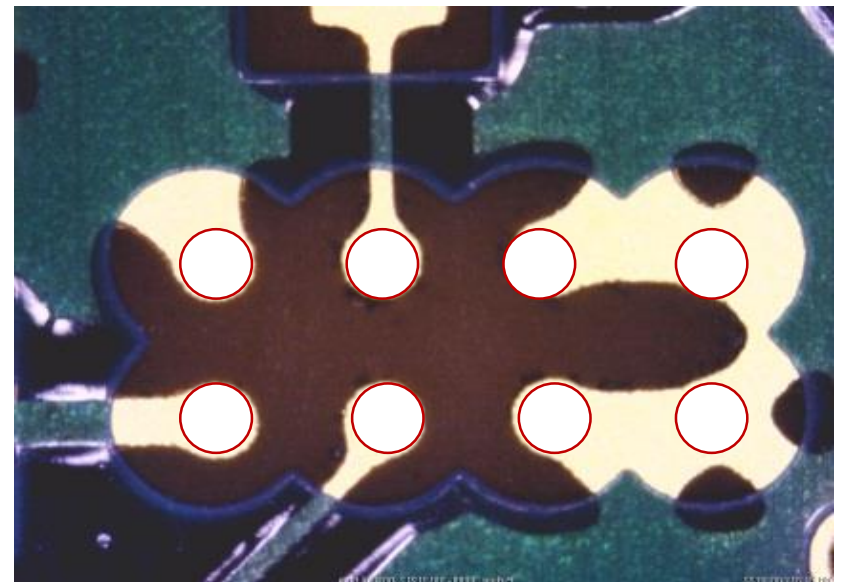
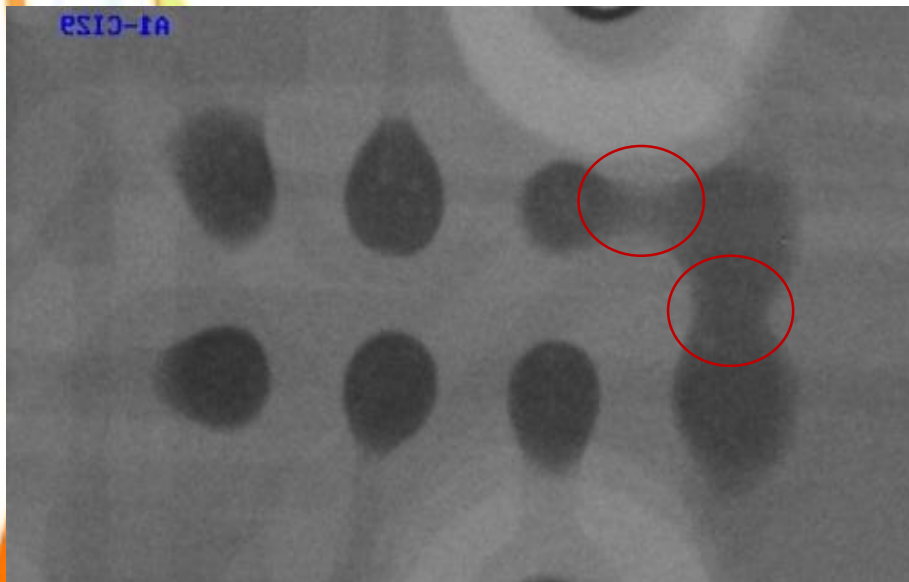
L'IPC 2221 Table 4-6 donne un comparatif des avantages et inconvénients des différentes finitions sur des critères comme la brasabilité, la durée de vie, la compatibilité avec un process « Pressfit », la planéité (indispensable pour des cms à pas fin, etc...

En table 4-8 (par exemple) l'IPC 2221 donne spécifiquement pour la Finition ENIG les avantages (surface plane, durée de vie...) et inconvénients (nécessite un bon contrôle des bains chimiques du fournisseur, ...)



Des exemples

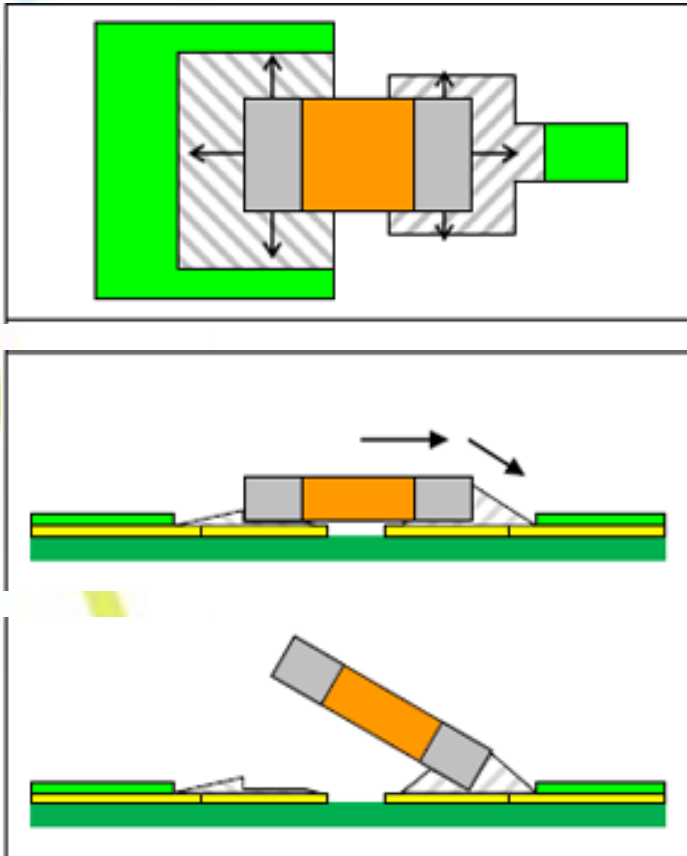
5 - Routage: SMD Vs NSMD



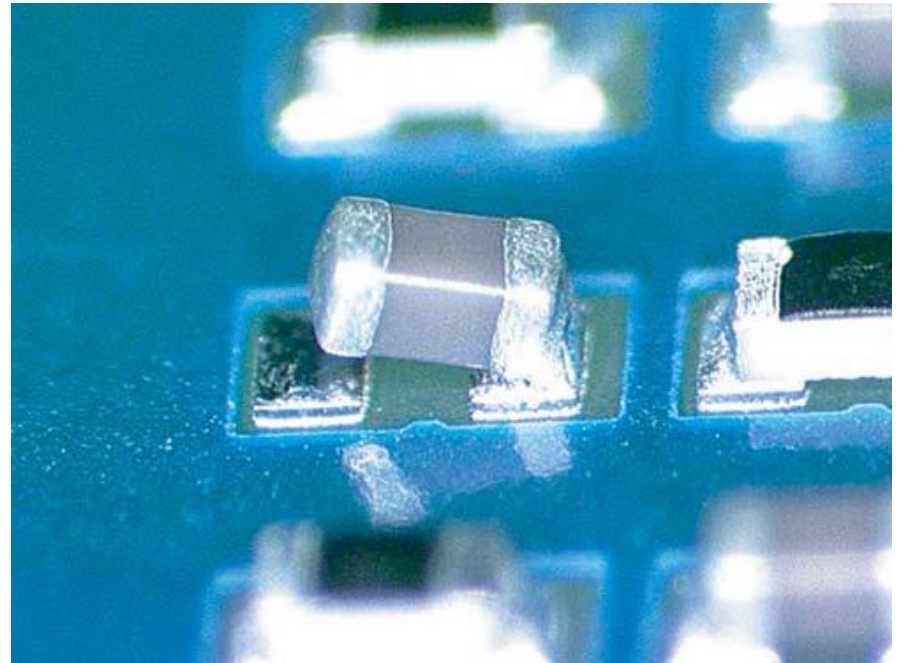


Des exemples

5 - Routage: SMD Vs NSMD



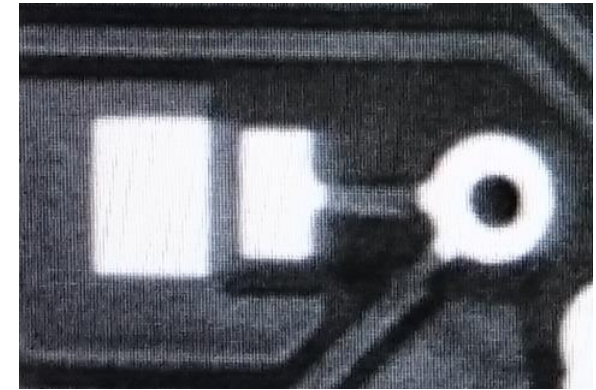
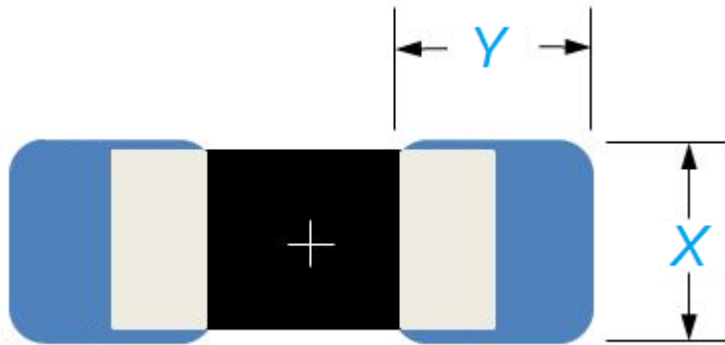
Tombstoning =
Effet Manhattan





Des exemples

5 - Routage: SMD Vs NSMD

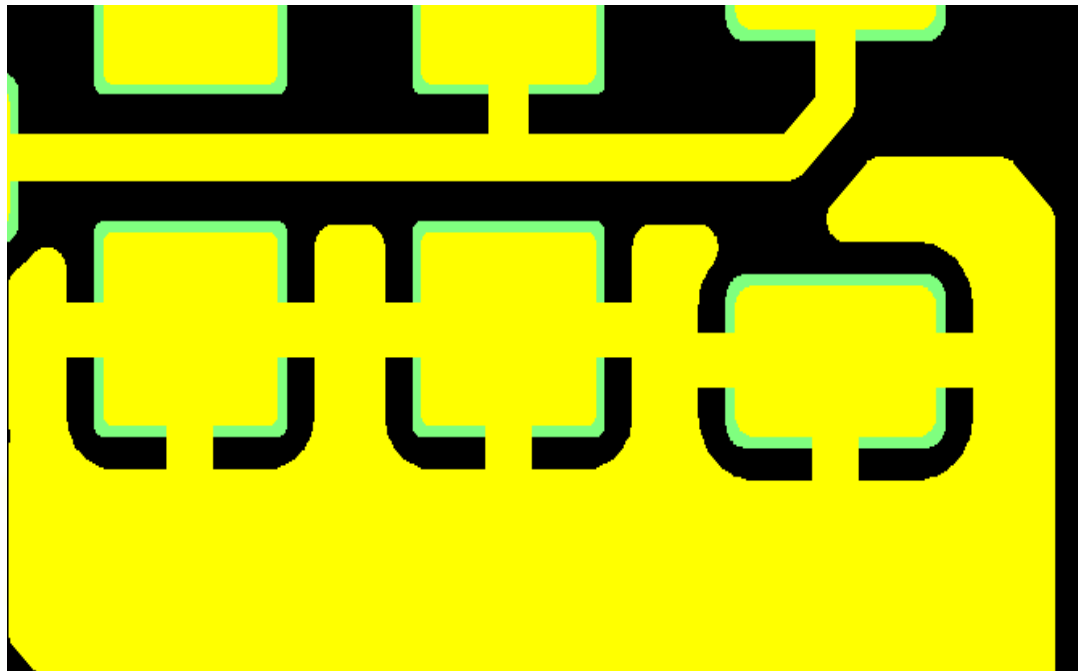


Boitier	Empreinte N-SMD			Empreinte SMD (50μ tournant)	Empreinte SMD (75μ tournant)
	X	Y	Surface	Impact	Impact
1206	1600μ	1100μ	1760000μ ²	+16%	+24%
...
0402	500μ	500μ	250000μ ²	+44%	+69%
0201	300μ	250μ	75000μ ²	+87%	+140%



Des exemples

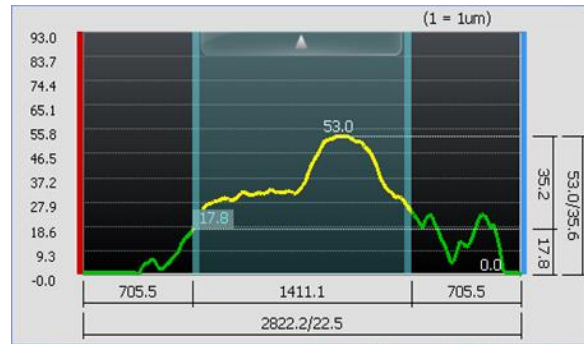
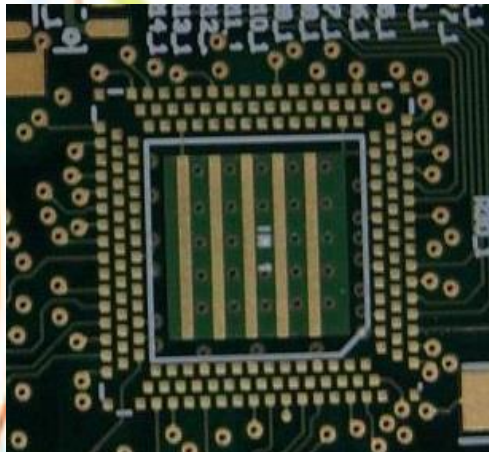
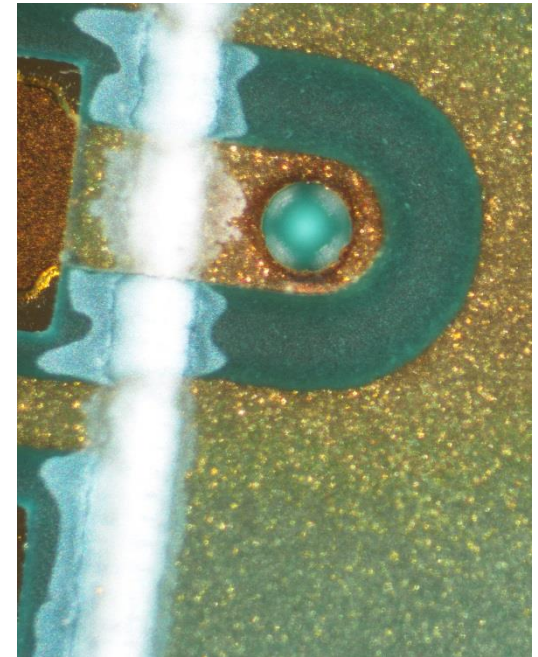
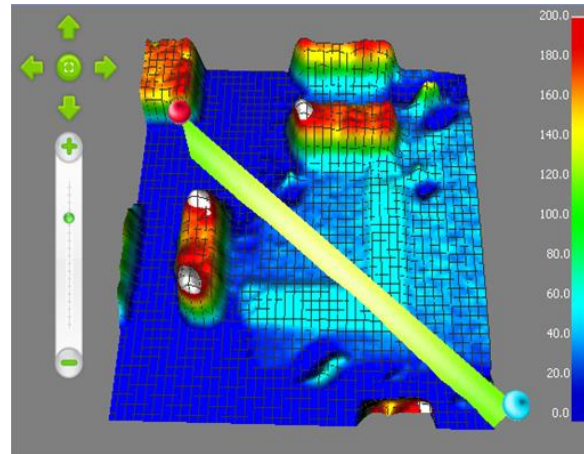
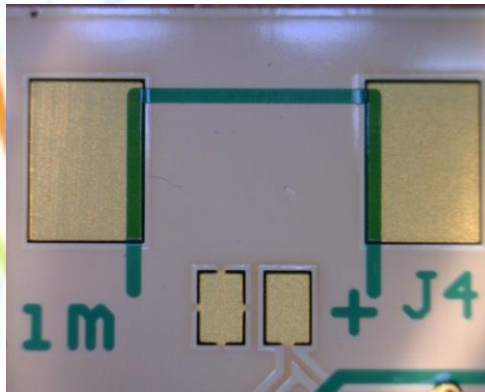
5 - Routage: *SMD Vs NSMD*





Des exemples

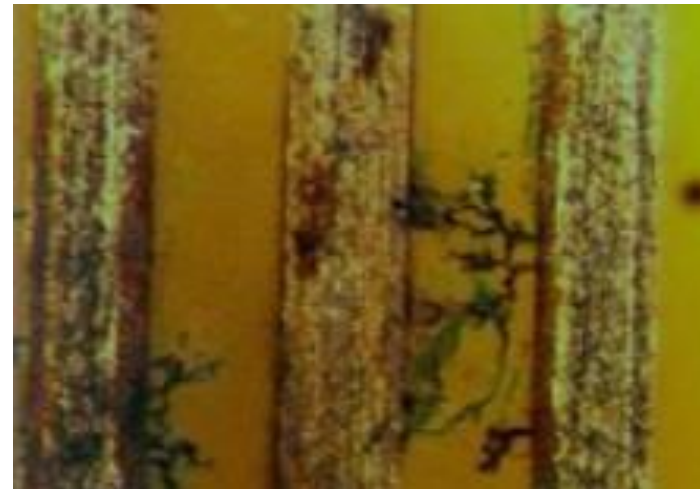
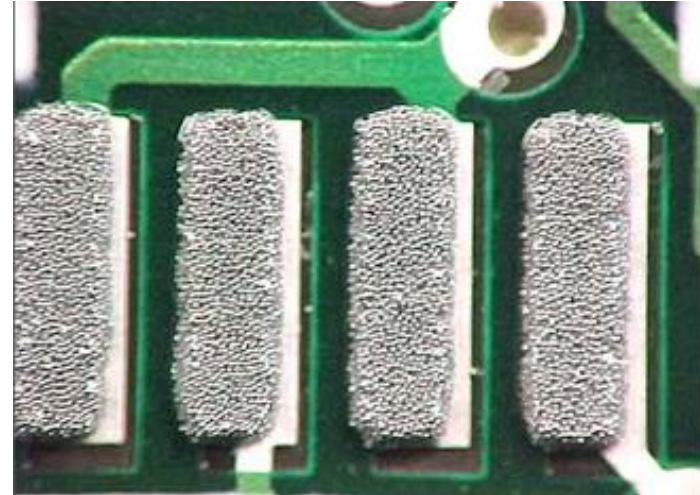
6 – Sérigraphie : à prohiber en série !





Des exemples

7 – Vernis Epargne de Brasage : *indispensable...*





Des exemples

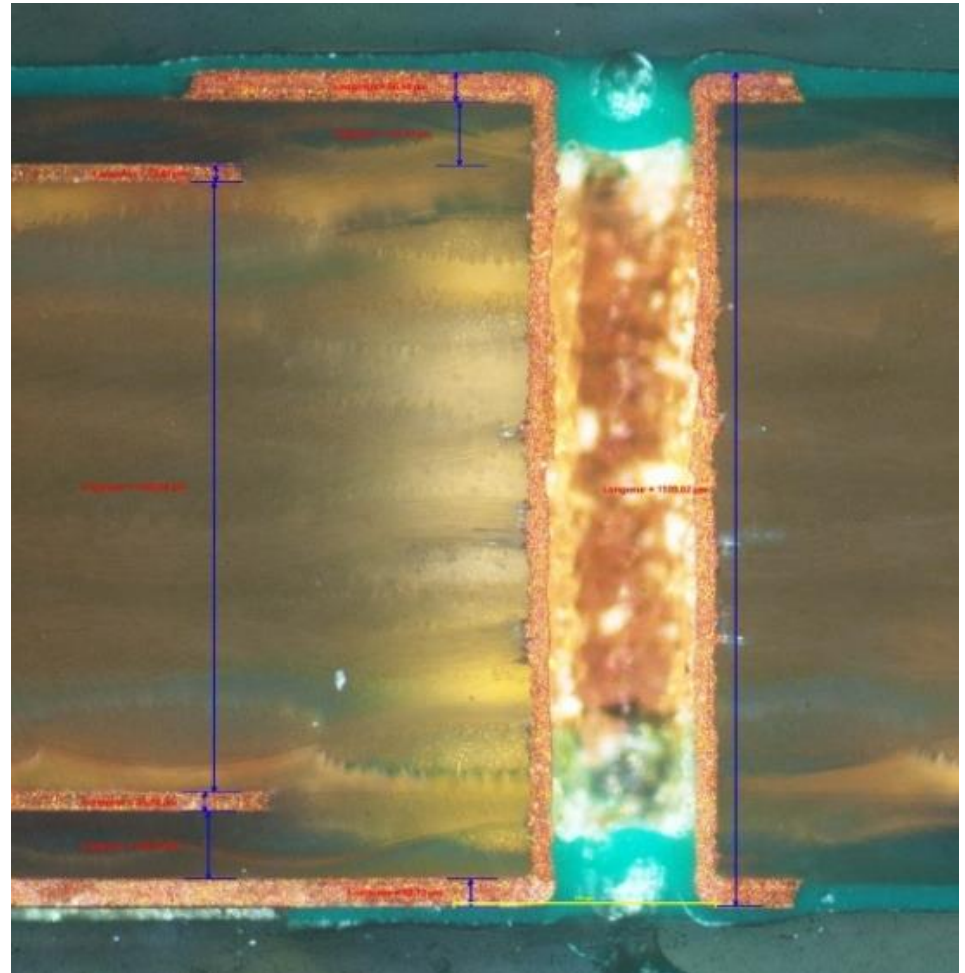
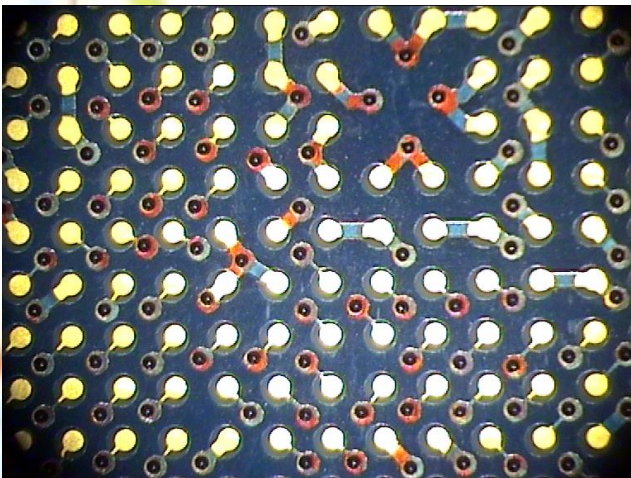
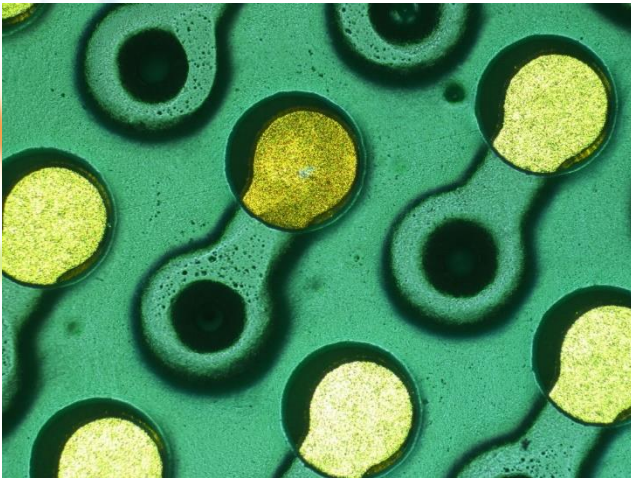
7 – Vernis Epargne de Brasage : *indispensable... mais pas à tout prix !*





Des exemples

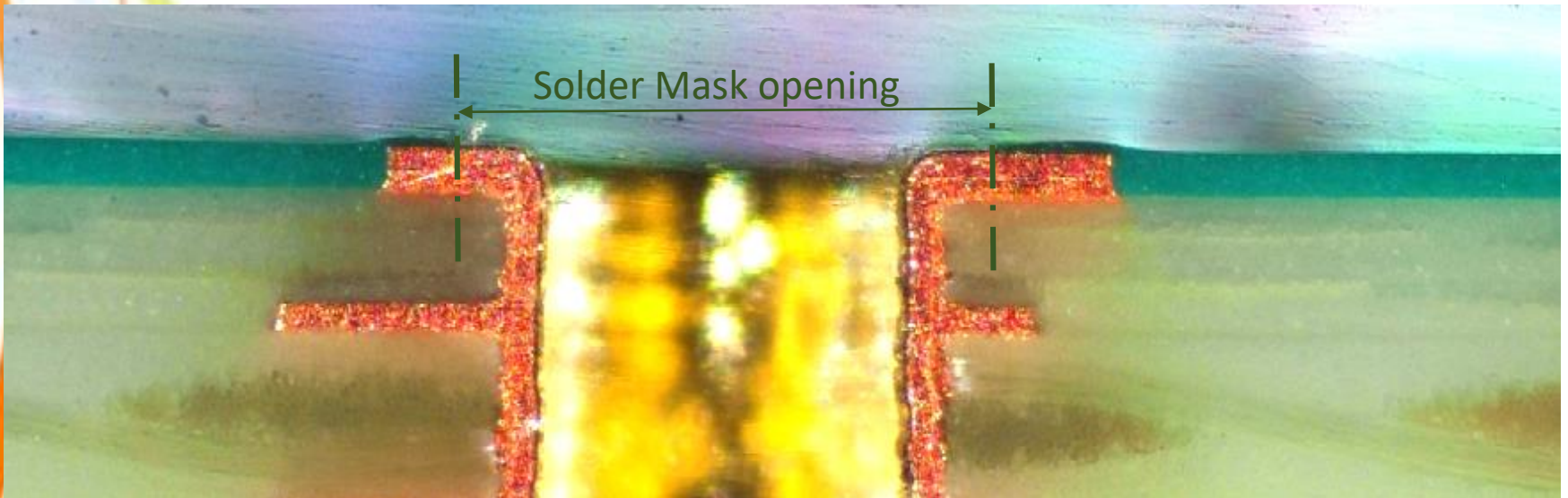
7 – Vernis Epargne de Brasage : *indispensable... mais pas à tout prix !*





Des exemples

7 – Vernis Epargne de Brasage : *indispensable... mais pas à tout prix !*

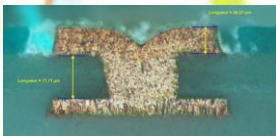
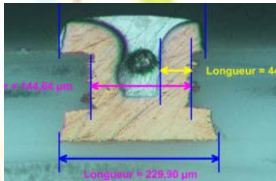
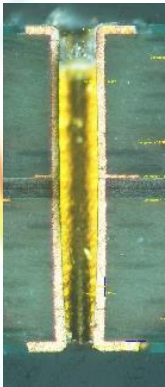




Des exemples

8 – Techno : les fausses idées

Exemple : Via Laser Versus Via PTH



Version	PTH			Delta Cout	
	x100	x500	Delta cout	x100	x500
PTH via Hors classe	18,44 €	14,72 €	-20%	100	100
PTH via mini IPC	14,34 €	11,45 €	-20%	-22%	-22%
PTH via mini IPC + vias Laser	16,63 €	13,62 €	-18%	-10%	-7%
PTH via mini IPC + vias Laser rempli cuivre	18,21 €	14,92 €	-18%	-1%	1%

MC06, 64mm x 48mm, 4 circuits par Flan 198x80mm
12 flans/panneau, soit 96 circuits/panneau



Des exemples

8 – Techno : *les fausses idées*

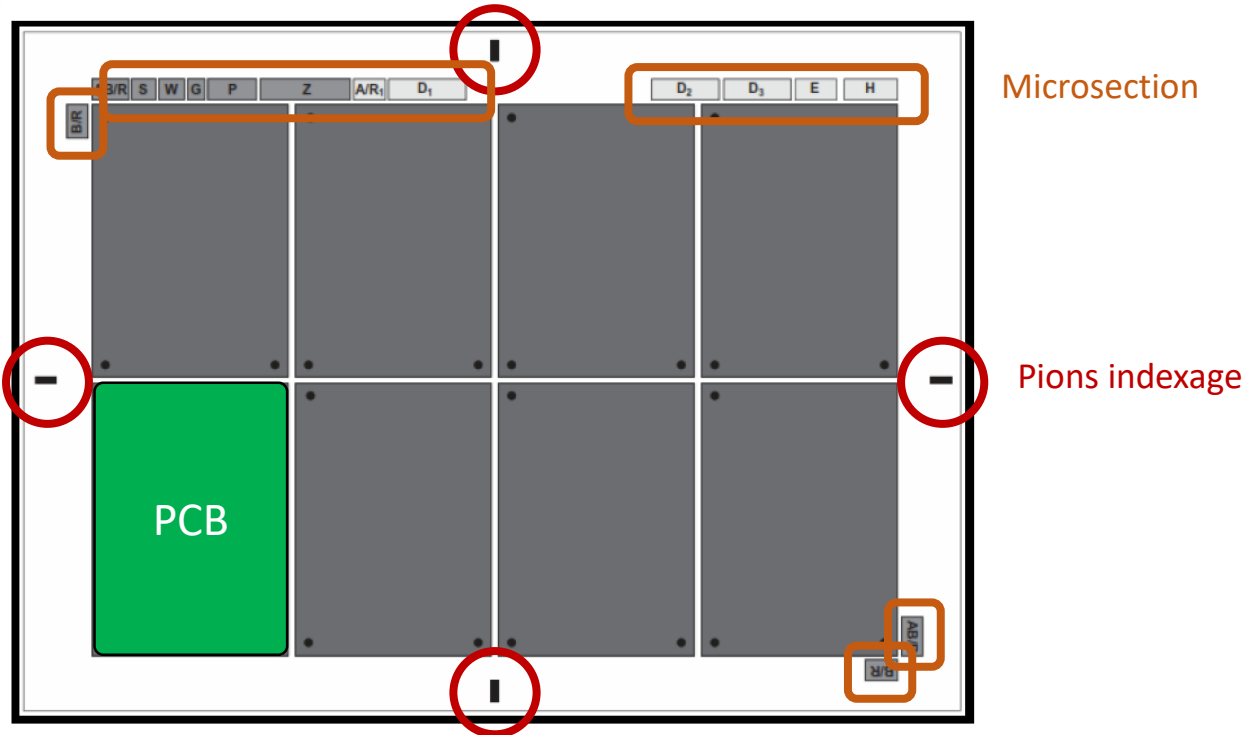
Les tables 2.1.1 et 2.1.3 du Study Guide IPC CID+ (advanced) donne des Exemples de matrice de cout entre les différents matières, nombre de couche, Annular ring, vias remplis ou non...

Par exemples :

- rajouter un paire de couche coute environ +10%
- Remplir des vias 30€/panneaux de travail fabricant
- Gestion d'impédances contrôlées +5%
- Matière Polymide au lieu de FR4 x3 (sur la part matière)
- Via mécanique <200µm aussi cher que de la matière polymide
- Etc...

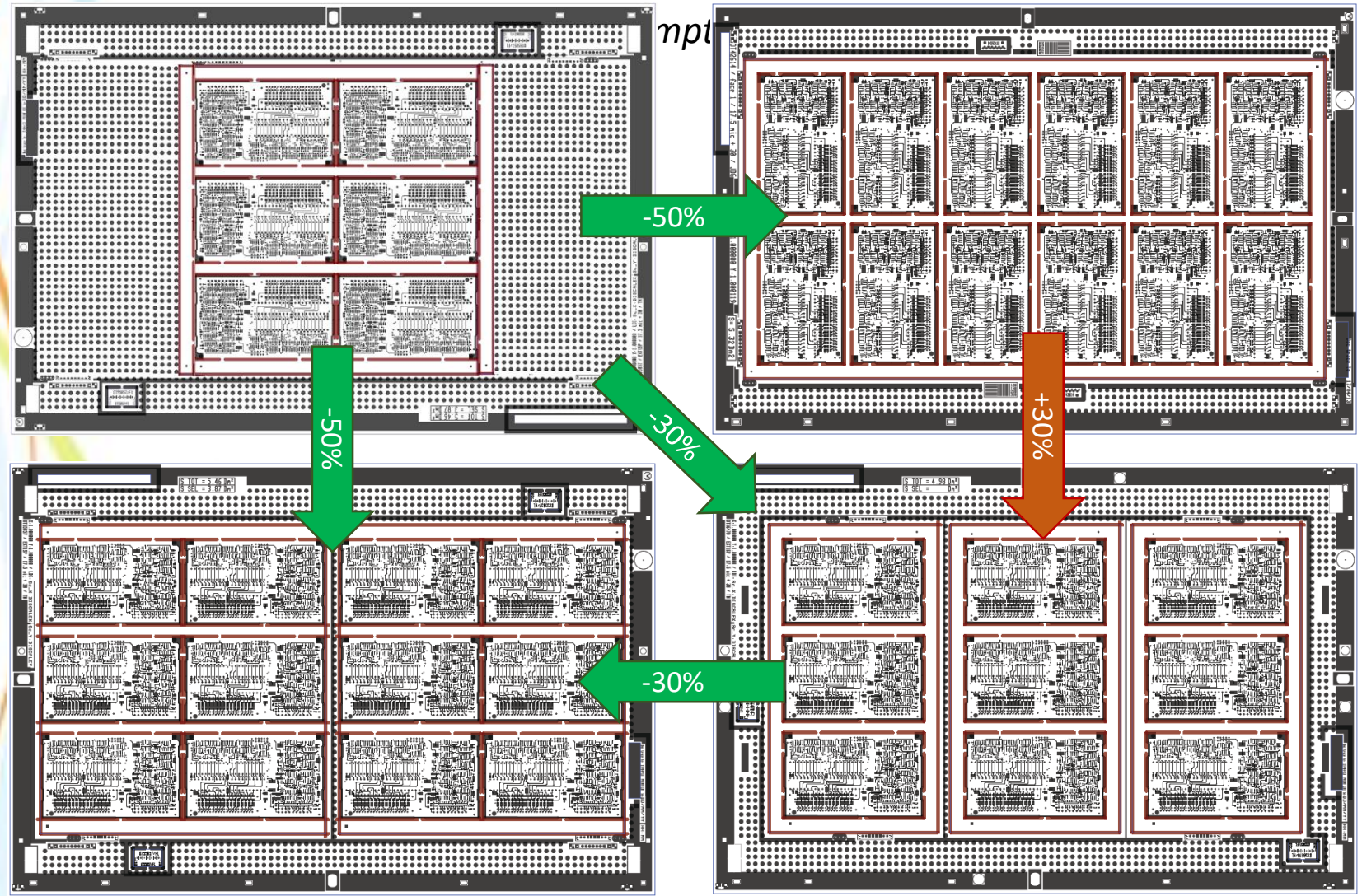
Des exemples

8 – Mise en panneau : *il faut tenir compte des formats matières !*





Des exemples





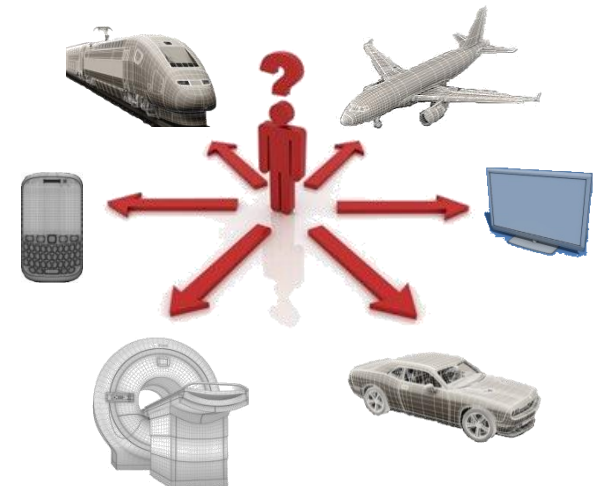
La solution : 1ère étape

Mettre **TOUS** les interlocuteurs autour de la table



Traiter les sujets :

- Coûts
- Délais
- Performances
- Fiabilité





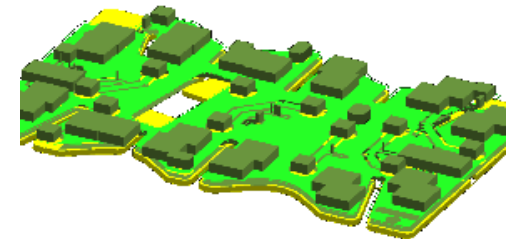
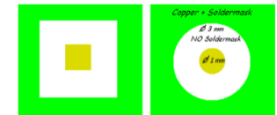
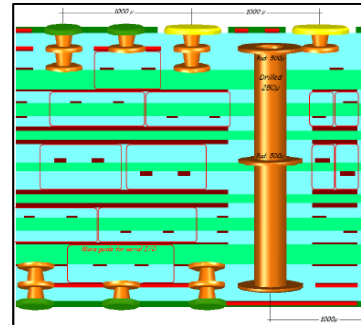
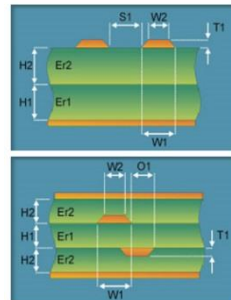
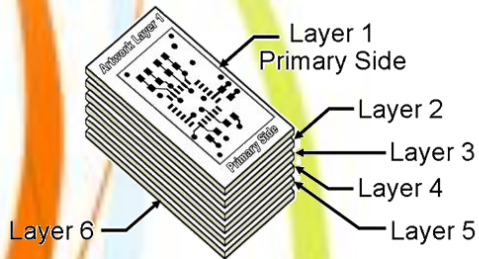
La solution : 2ème étape

Rédiger le Master Drawing

- On doit y retrouver les caractéristiques clés, les choix/compromis qui ont été établis suite à l'analyse multi-métiers, les critères de contrôles.
- On peut aussi y retrouver des contraintes technologiques, de fiabilité, environnementales, normes applicables ...



MTBF

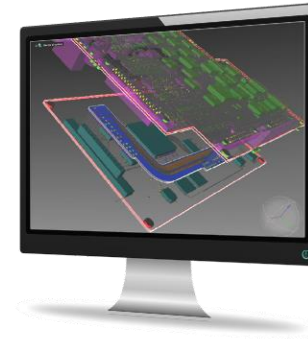




La solution : 3ème étape

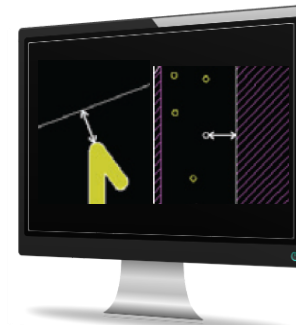
Paramétrage de l'Outil de Design

- Isolement Electrique
- Trous/Vias
- Impédances, courant...
- etc...



Analyse DFM en sortie de Design

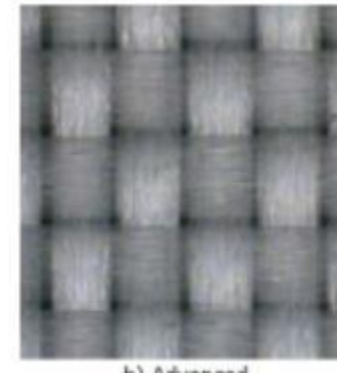
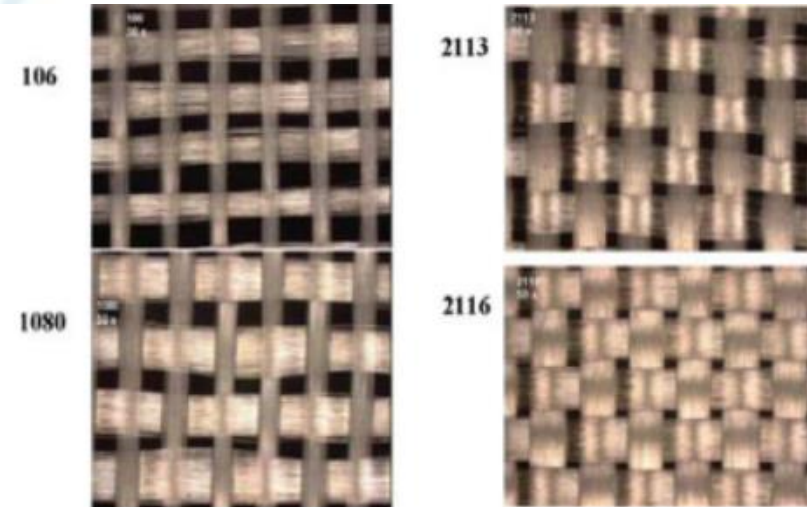
- D: Piste / Bord de Carte
- D: Trou / Piste
- Anneau Résiduel
- etc...



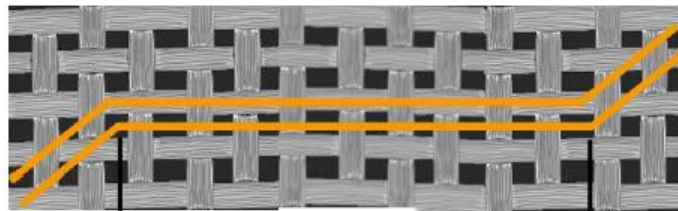


La solution : 3ème étape

Paramétrage de l'Outil de Design, *Tout en tenant compte de la réalité de la fabrication*



Spread Glass
= tissu carré et plat



Fiber Weave Effect

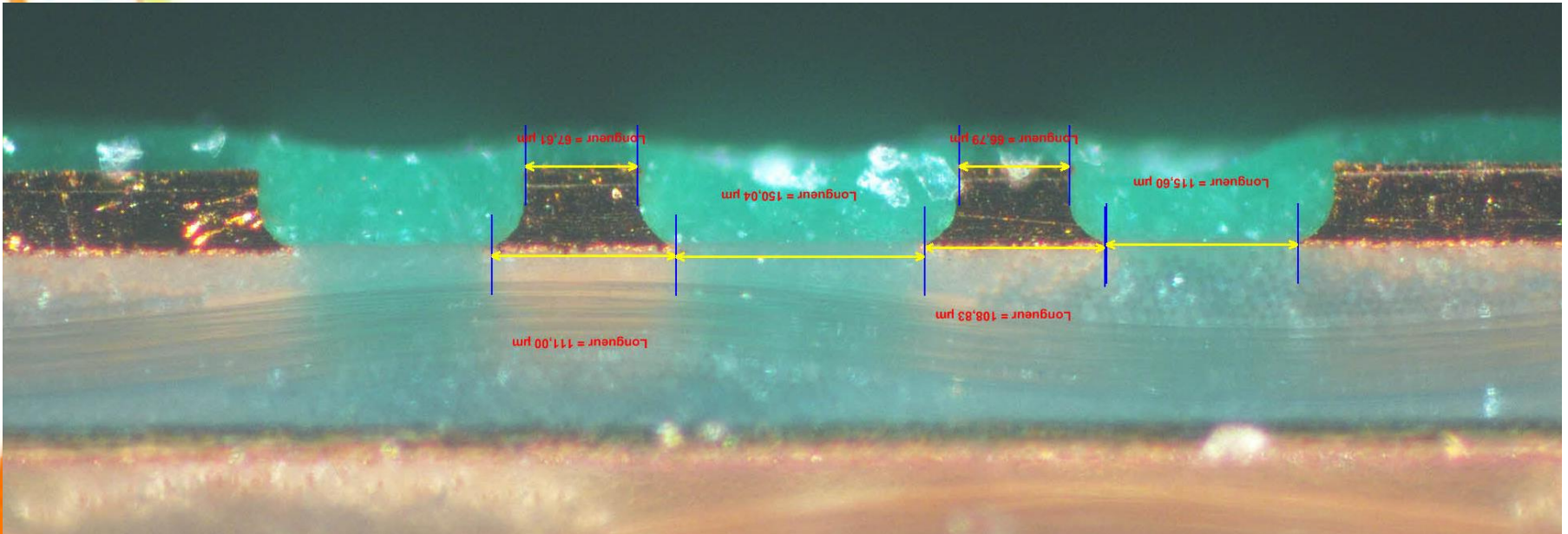
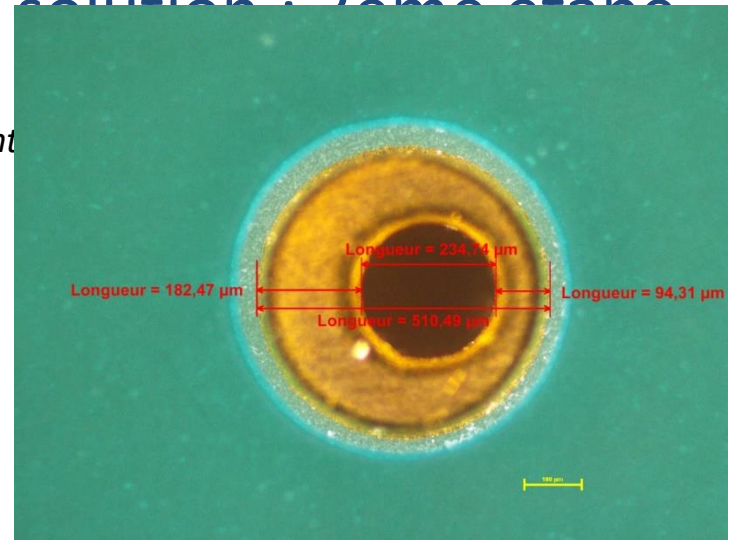
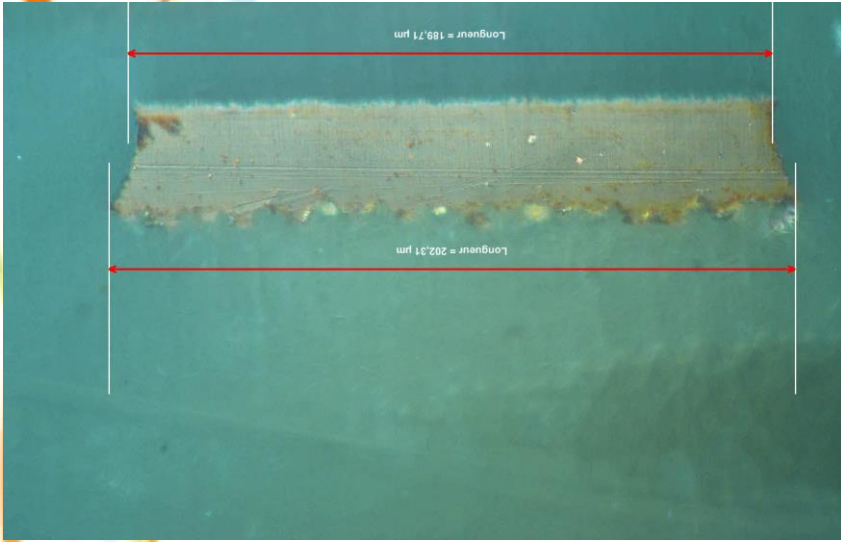
Figure 3.4.10 Paire Différentielle Routée sur un Tissus de Verre Non-Uniforme

Traditionnal preg



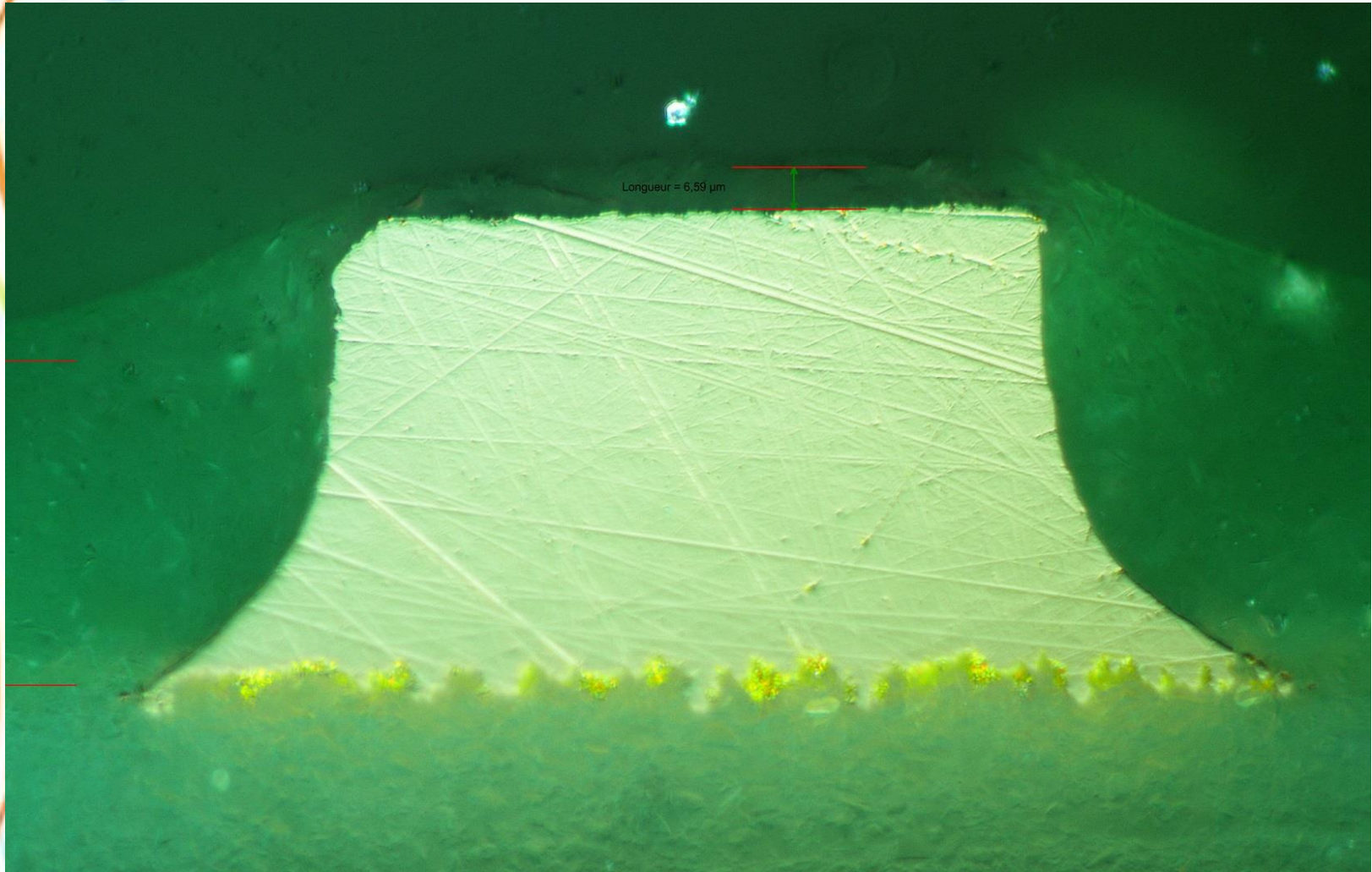
La solution : 2ème étape

, Tout en tenant





La solution : 3ème étape

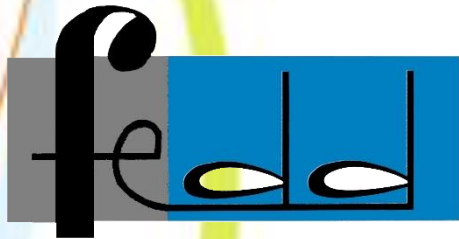




Cedric DELAGE c.delage@fedd.fr

Nicolas FEYFANT n.feyfant@fedd.fr

05 53 22 74 68



CID+
Certified Interconnect Designer
Advanced



IPC-A-600
Certified IPC Trainer