

Ecole IN2P3: Electronique pour la physique

Référence **CENSEA17100052-01**

Présenté le : 1/04/2019



Indice	Evolution	Date
00	Création	15/09/2018
01	Modification pour l'école des technique de base des deteceturs	01/04/2019

Action	Nom	Fonction/Entité	Date	Visa
Rédigé par	F. Druillole	Responsable CENBG/SEA	14/09/2018	
Vérifié par				
Vérifié par				
Approuvé par				
Approuvé par				

Documents de référence Projet

Document	Référence	Emetteur	Date
Bruit de fond et mesures – Aspects Théoriques	R310V2	Techniques de l'ingénieur	18/12/2006
Bruit de fond et mesures – Mesures et applications en conception	R311V1	Technique de l'ingénieur	18/12/2006
Op Amp Noise Theory and Applications	SLOA082	Texas Instruments	
NOISE ANALYSIS OF FET TRANSIMPEDANCE AMPLIFIERS	SBOA060	BurrBrown	02/1994
Presentation electronique multi-detecteur		Laurent Leterrier LPCCaen	

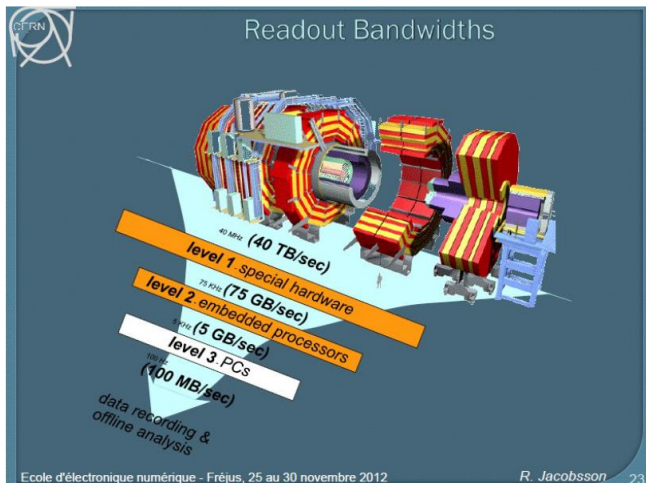
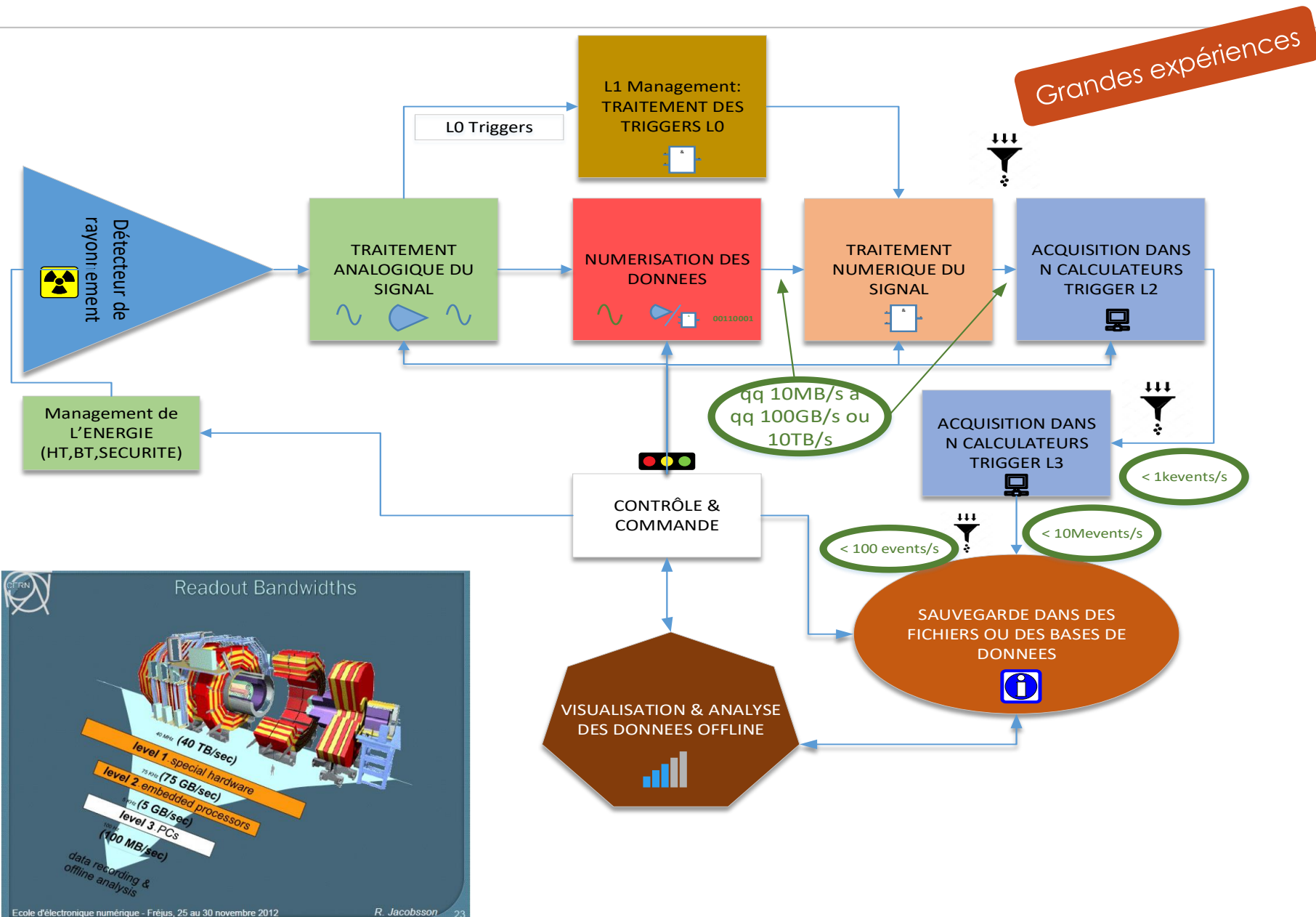


ECOLE IN2P3 : **Techniques de base des** **acquisitions multi-détecteurs**

l'électronique du détecteur à la mesure
II – Traitement Numérique du signal

CARGESES, du 1er au 5 Avril 2019

Un Système d'acquisition actuel multicanaux



**Rôle : assurer le traitement analogique du signal
et la conversion analogique-numérique**

Le codage numérique du signal analogique :

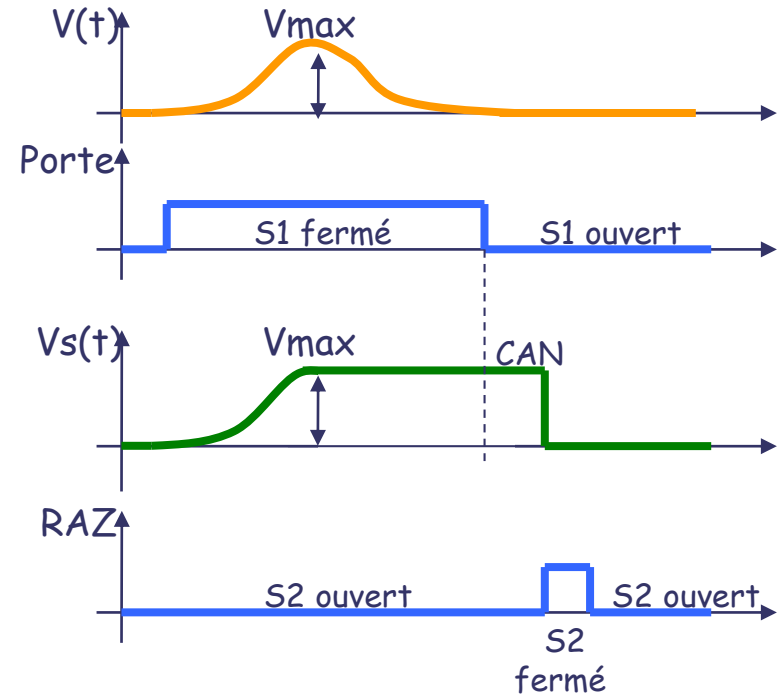
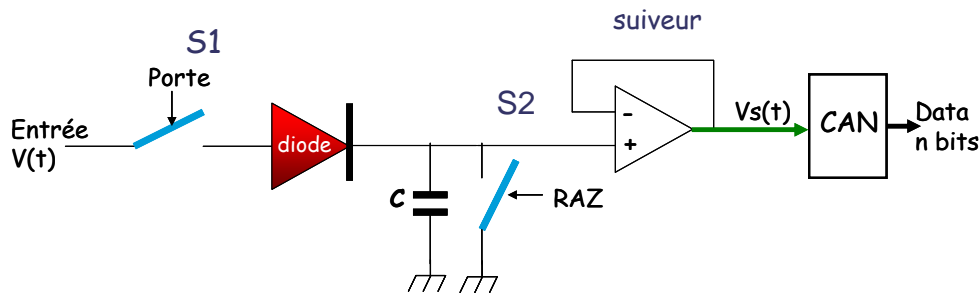
↪ **Le codeur d'amplitude ADC :**
mesure l'amplitude du signal

↪ **Le codeur de charge QDC :**
mesure l'intégrale du signal

↪ **Le codeur de temps TDC :**
mesure un intervalle de temps

Le codeur d'amplitude ADC (pour la mesure d'énergie)

Schéma de principe:



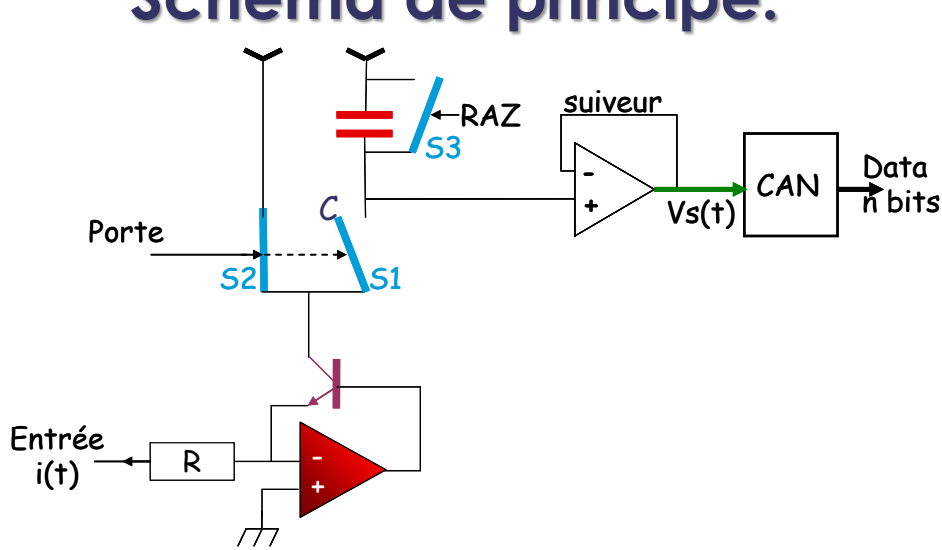
Le codeur d'amplitude capture l'amplitude max du signal analogique provenant du shaper.

Le schéma de principe présenté ici est celui d'un détecteur de crête.

La durée de la porte est généralement comprise entre qqs 100 ns à qqs 10 μ s.

Le codeur de charge QDC (pour la mesure d'énergie)

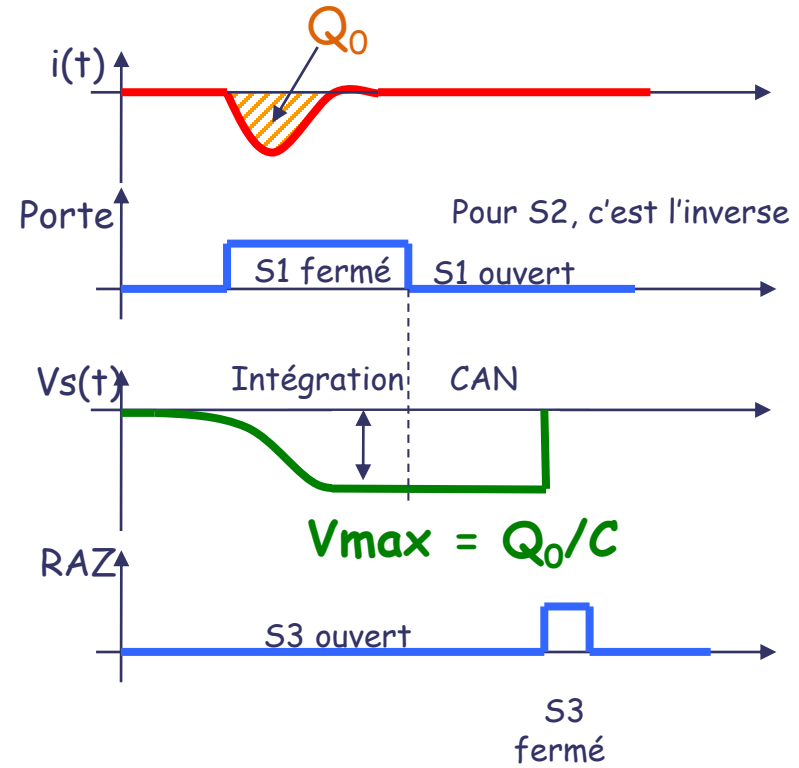
Schéma de principe:



On intègre le courant d'entrée pendant la durée de la porte (interrupteur S1 fermé)

$$V_s(t) = \frac{1}{C} \int_{Porte} i(t) dt$$

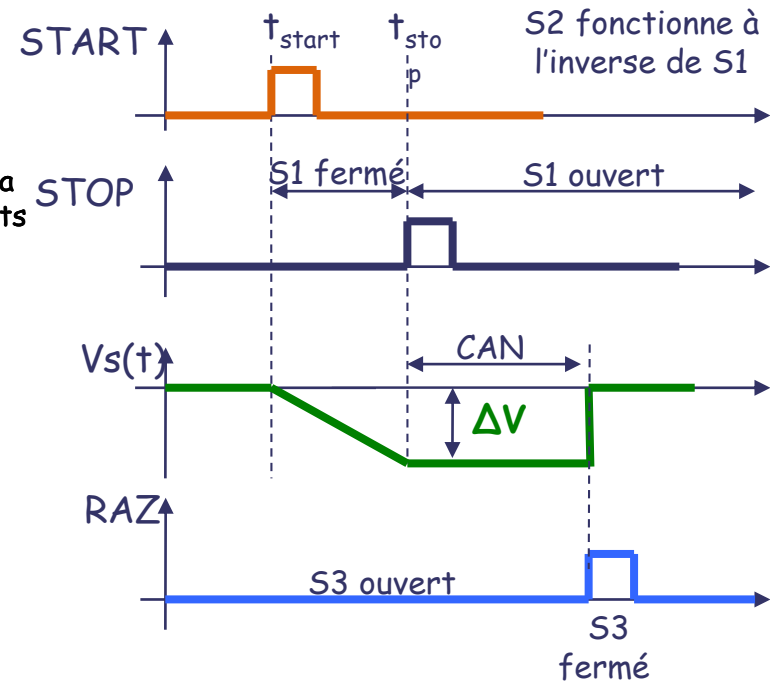
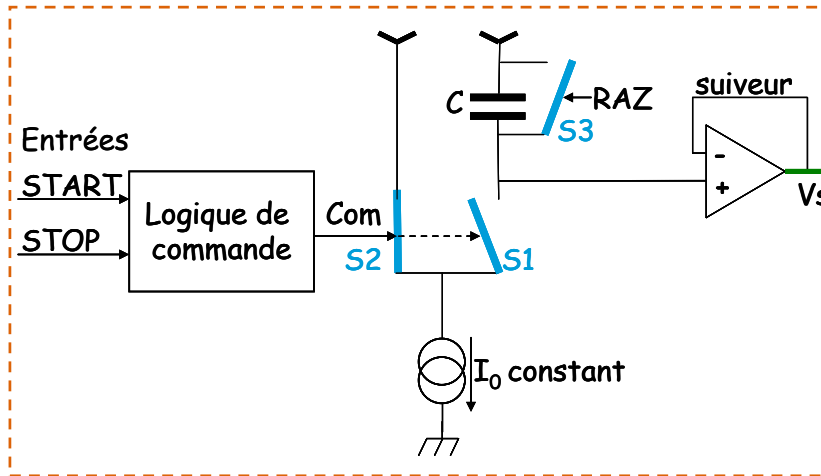
Intégrer = calculer l'aire entre la courbe et l'axe du temps pendant la durée de la porte = à la charge Q0



Par exemple, on utilisera un QDC si le signal en courant du détecteur est suffisamment élevé (PM), ou pour les forts taux de comptage, ou...

Le codeur de temps TDC (pour la mesure du temps de vol)

Schéma de principe:



TAC (Codeur Temps Amplitude)

Lorsque S1 est fermé, on décharge la capacité à courant I_0 constant. La tension aux bornes de la capacité évolue comme une rampe ce qui donne:

$$\Delta V_S(t) = \frac{I_0}{C} \cdot \Delta t$$

$$\Delta V = (I_0/C) \cdot (t_{\text{stop}} - t_{\text{start}})$$

Rq : Les signaux logiques START et STOP viennent généralement de discriminateur

Vocabulaire

- Principe
- Caractéristiques fondamentales (statique)
- Principe d'échantillonnage (théorie de l'information)

Convertisseur analogique numérique
CAN - ADC

Convertisseur numérique - analogique
CNA - DAC

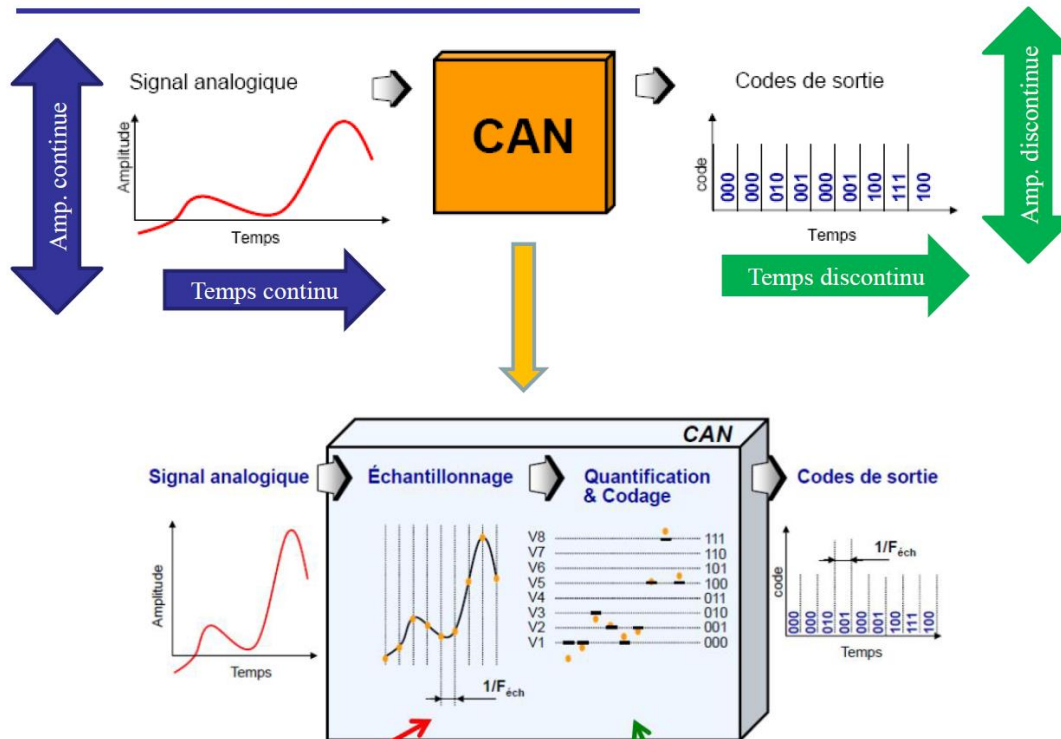
Les étapes ADC

Échantillonnage à temps discret :
quantification

La résolution d'amplitudes finies :
Bruit & Précision

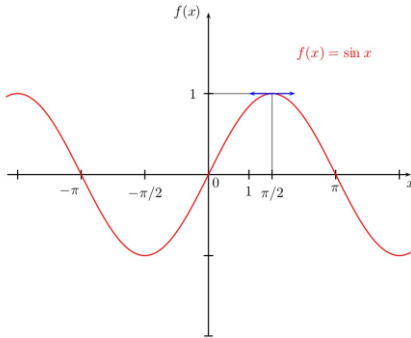
Le codage de l'information

Le principe de la conversion



Pourquoi y a-t-il besoin d'un échantillonnage ?

Regardons quelle fréquence maximum d'échantillonnage est admissible sans commettre d'erreur sur le codage de l'information.



$$v(t) = \frac{q2^N}{2} \cdot \sin(2 \times \pi \times f \times t)$$

$$\frac{dv(t)}{dt} = \frac{q2^N}{2} \times 2\pi f \times \cos(2\pi f t)$$

ADC 12-bit

100 kHz

$$\frac{\Delta V}{\Delta T} \Big|_{max} = \frac{q2^N}{2} \times 2\pi f_{max} \Rightarrow f_{max} = \frac{\frac{\Delta V}{\Delta T} \Big|_{max}}{q\pi \cdot 2^N}$$

Application numérique :

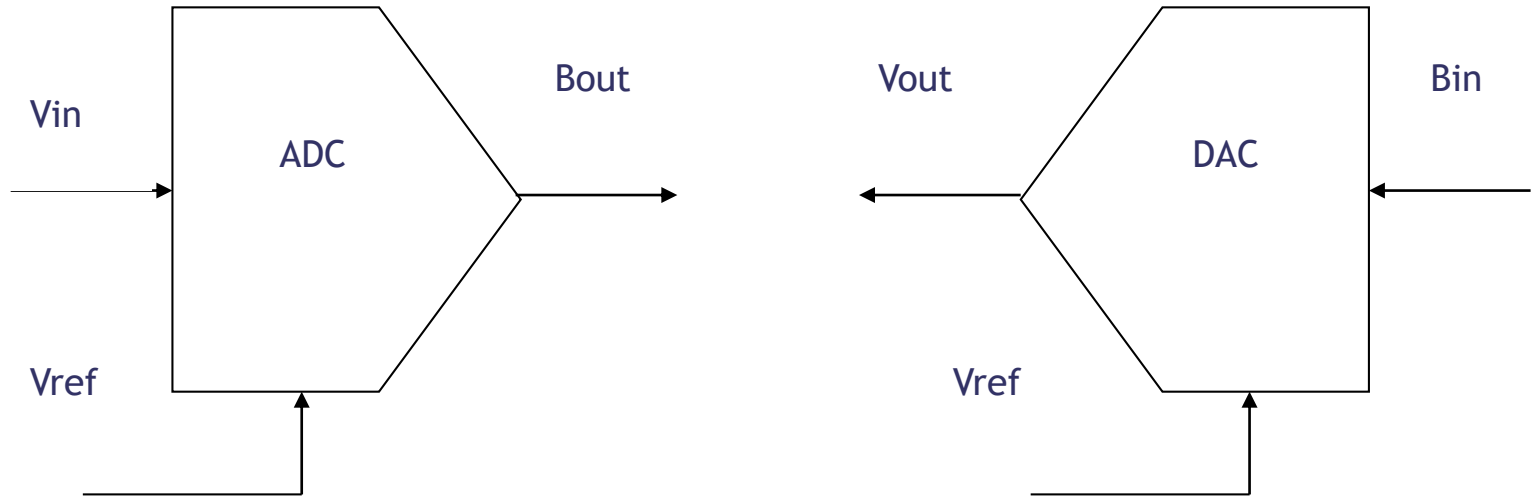
$$\Delta T = 8\mu s \text{ et } \Delta V = 1 \text{ LSB} = q$$

N = 12 bits

$$f_{max} = \frac{1}{\pi \times 8 \cdot 10^{-6} \times 4096} = 9,7 \text{ Hz}$$

Conclusion: Sans maintien (track and hold), même avec un codeur rapide, la fréquence d'échantillonnage reste très faible pour ne pas commettre d'erreur.

La fonction de transfert



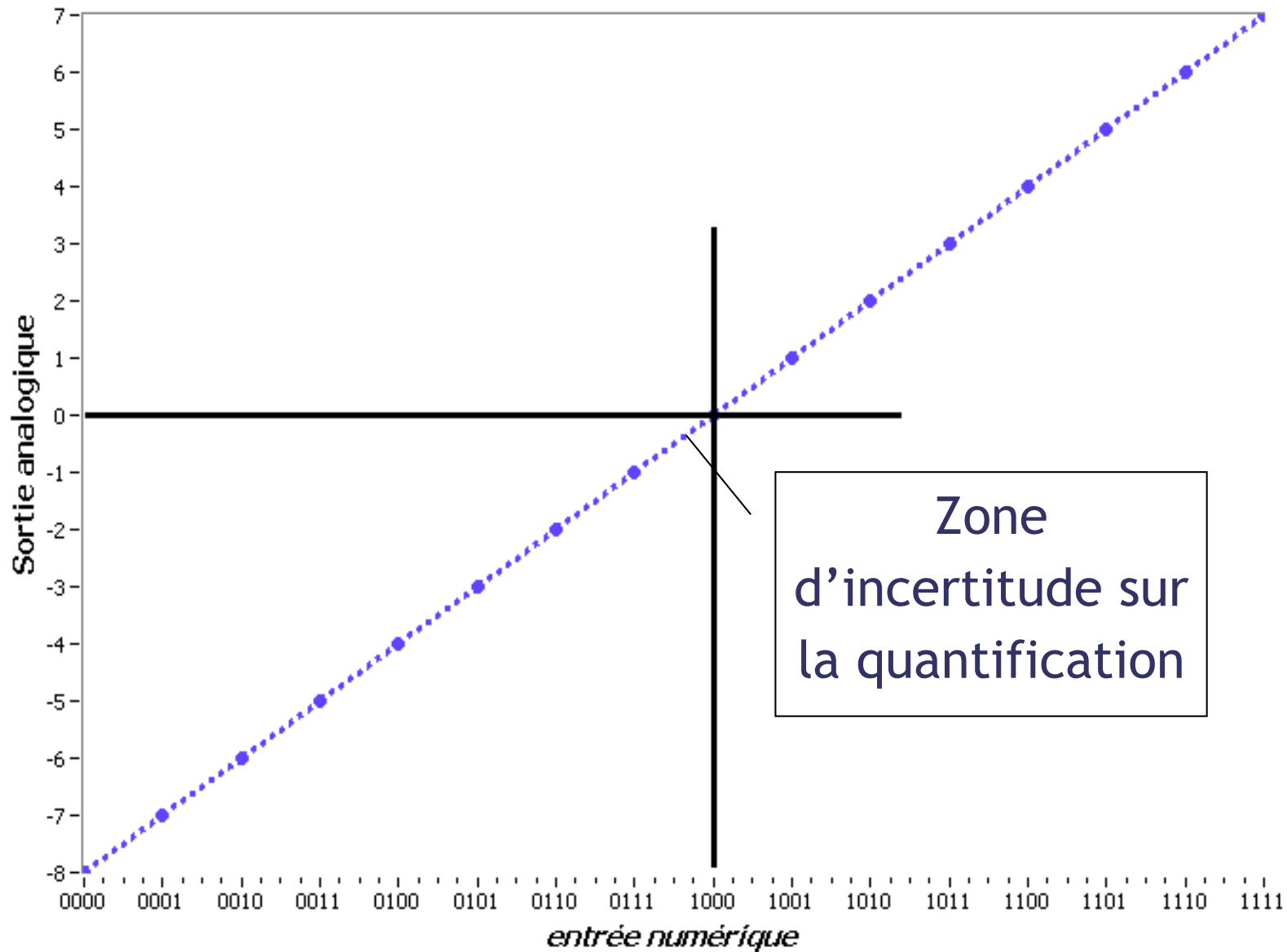
$$V_{ref}(b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) = V_{in} \pm V_x$$

$$V_{LSB} = \frac{V_{ref}}{2^N}$$

$$V_{quantifié} = V_{in} + V_Q$$

$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) = V_{ref} \times B_{in}$$

fonction de transfert d'un DAC bipolaire 4 bits



CNA ou DAC

Nombre	Nombre normalisé	Nombre signé	Complément à 1	Nombre binaire à décalage	Complément à 2
+7	PE-1LSB = +7/8.PE	0111	0111	1111	0111
+6	+6/8.PE	0110	0110	1110	0110
+5	+5/8.PE	0101	0101	1101	0101
+4	+4/8.PE	0100	0100	1100	0100
+3	+3/8.PE	0011	0011	1011	0011
+2	+2/8.PE	0010	0010	1010	0010
+1	+1/8.PE	0001	0001	1001	0001
+0	+0/8.PE	0000	0000	1000	0000
(-0)	(-0) /8.PE	(1000)	(1111)		
-1	-1/8.PE	1001	1110	0111	1111
-2	-2/8.PE	1010	1101	0110	1110
-3	-3/8.PE	1011	1100	0101	1101
-4	-4/8.PE	1100	1011	0100	1100
-5	-5/8.PE	1101	1010	0011	1011
-6	-6/8.PE	1110	1001	0010	1010
-7	-PE+1LSB =-7/8.PE	1111	1000	0001	1001
-8	-8/8.PE			0000	1000

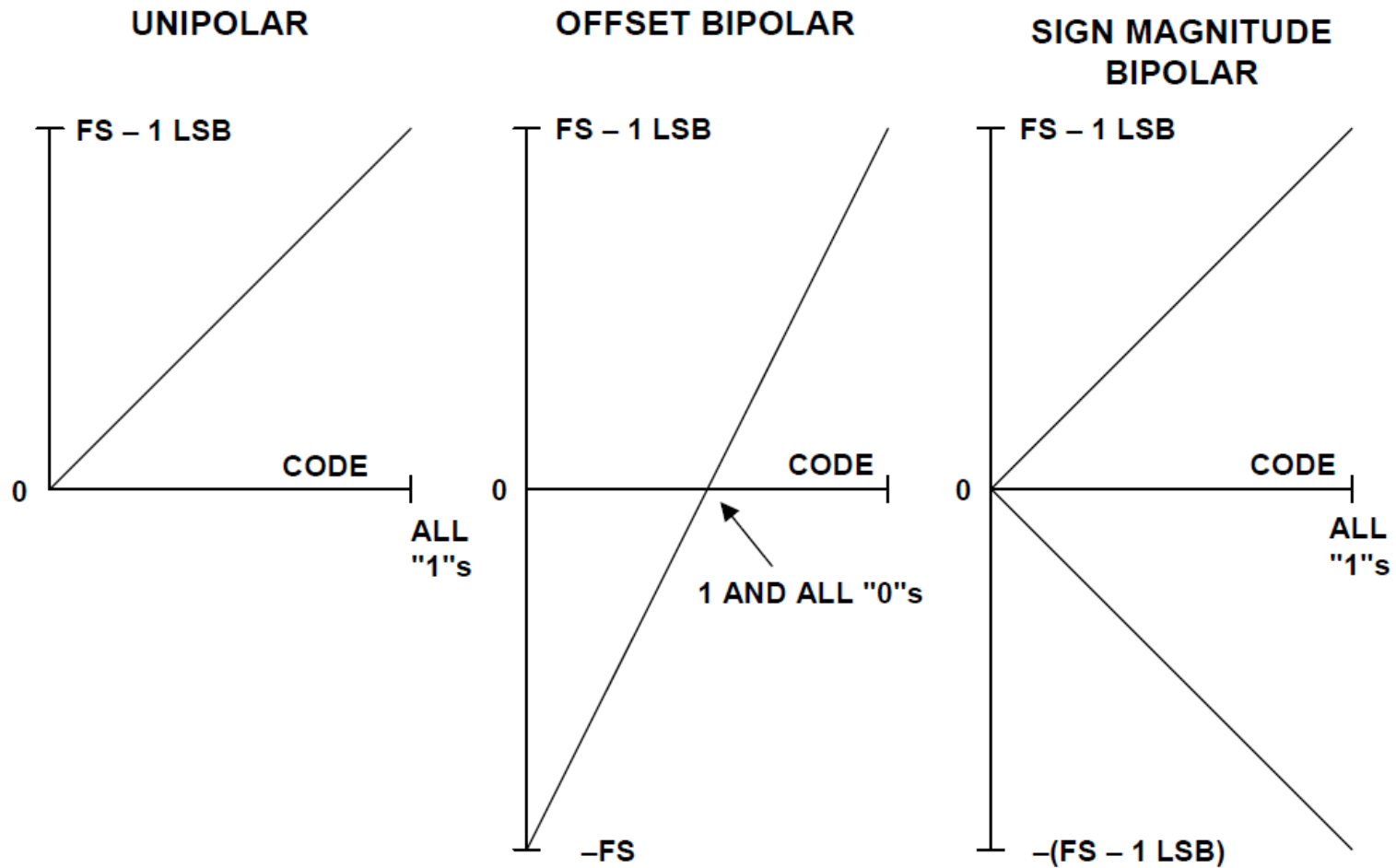
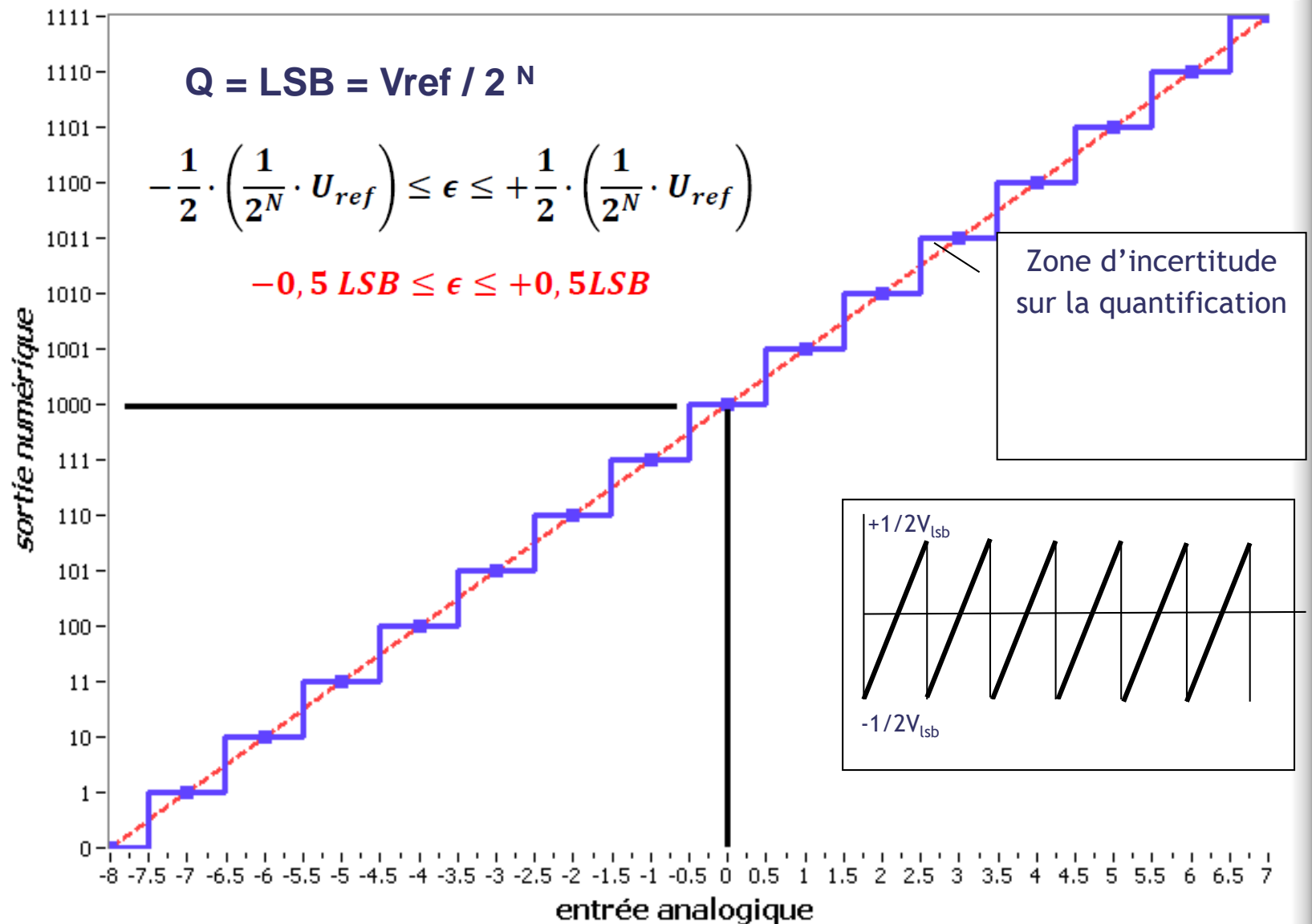


Figure 2.16: Unipolar and Bipolar Converters

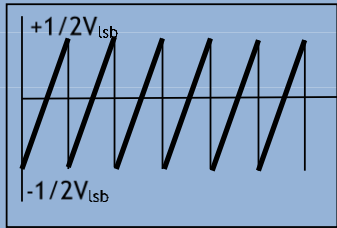
fonction de transfert d'un ADC bipolaire 4 bits



Résolution d'un ADC / erreur de quantification

Approche déterministe :

Si V_{in} est une rampe en fonction du temps, V_Q est un signal périodique de période T (temps d'échantillonnage) limité en amplitude à $\pm \frac{1}{2} V_{LSB}$. En effet, V_Q est la différence entre V_{in} et $V_{quantifié}$, signal en marche d'escalier (cf courbe ci-dessous).



Suivant V_Q , on constate que la moyenne du signal est nulle. Sa valeur RMS est donnée par :

$$\begin{aligned} V_{Q(\text{rms})} &= \left[\frac{1}{T} \int_{-T/2}^{T/2} V_Q^2 \cdot dt \right]^{1/2} = \left[\frac{1}{T} \int_{-T/2}^{T/2} V_{LSB}^2 \left(\frac{-t}{T} \right)^2 \cdot dt \right]^{1/2} \\ &= \left[\frac{V_{LSB}^2}{T^3} \left(\frac{t^3}{3} \Big|_{-T/2}^{T/2} \right) \right]^{1/2} = \left[\frac{V_{LSB}^2}{T^3} \left(\frac{T^3}{12} \right) \right]^{1/2} = \frac{V_{LSB}}{\sqrt{12}} \end{aligned}$$

Approche stochastique :

A partir de la densité de probabilité ci-dessous, calculons la moyenne et l'écart type :

$$V_{Q(\text{AVG})} = \int_{-\infty}^{\infty} X \cdot f_Q(X) \cdot dX = \frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} X \cdot dX = 0$$

$$V_{Q(\text{rms})} = \left[\int_{-\infty}^{\infty} X^2 \cdot f_Q(X) \cdot dX \right]^{1/2} = \frac{1}{V_{LSB}} \int_{-\frac{V_{LSB}}{2}}^{\frac{V_{LSB}}{2}} X^2 \cdot dX = \frac{V_{LSB}}{\sqrt{12}}$$

$$SNR = 20 \log \frac{\frac{V_{ref}}{\sqrt{12}}}{\frac{V_{LSB}}{\sqrt{12}}} = 20 \log(2^N) = 6.02 N \text{ dB}$$

Signaux dent de scie

$$SNR = 20 \log \frac{\frac{V_{ref}}{2\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} = 20 \log \left(\sqrt{\frac{3}{2}} 2^N \right) = 6.02 N + 1.76 \text{ dB}$$

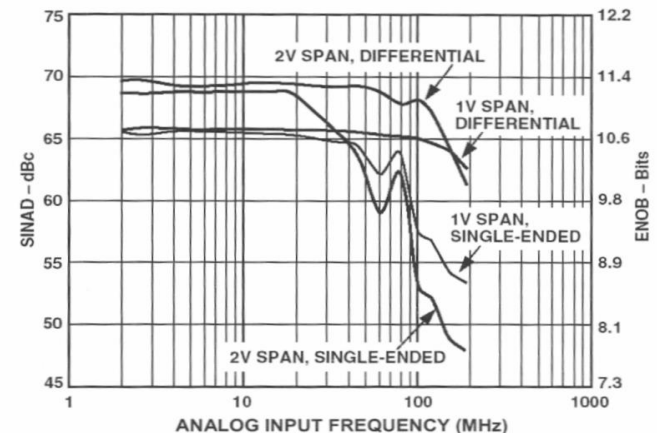
Sinusoïde à Vmax

$$SNR = 20 \log \frac{\frac{V_{sin}}{2\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} = 6.02 N + 1.76 \text{ dB} + 20 \log \left(\frac{V_{sin}}{V_{ref}} \right)$$

Sinusoïde Vamp

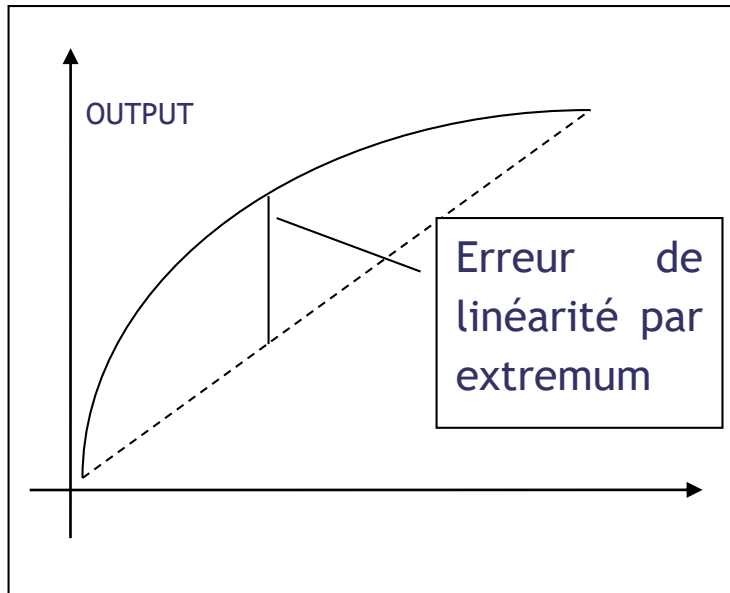
$$N_{effectif} = \frac{(SNR - 1.76 \text{ dB})}{6.02}$$

SINAD, ENOB, and SNR

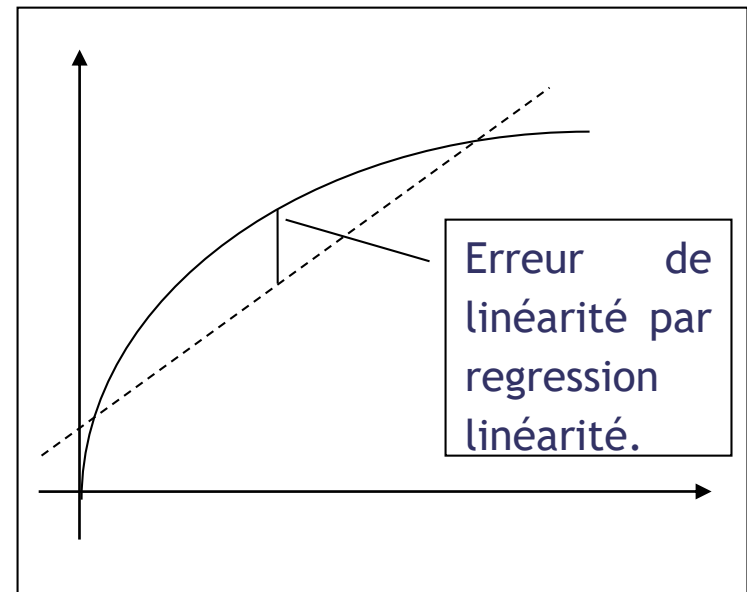


RESOLUTION N	2 ^N	VOLTAGE (10V PE)	ppm PE	% PE	dB PE
2-Bit	4	2.5 V	250000	25	-12
4-Bit	16	625 mV	62500	6.25	-24
6-Bit	64	156 mV	15625	1.56	-36
8-Bit	256	39.1 mV	3906	0.39	-48
10-Bit	1024	9.77 mV	977	0.098	-60
12-Bit	4096	2.44 mV	244	0.024	-72
14-Bit	16384	610 μV	61	0.0061	-84
16-Bit	65536	153 μV	15	0.0015	-96
18-Bit	262144	38 μV	4	0.0004	-108
20-Bit	1048576	9.54 μV	1	0.0001	-120
22-Bit	4194304	2.38 μV	0.24	0.000024	-132
24-Bit	16777216	596 nV	0.06	0.000006	-144

Linearité intégrale

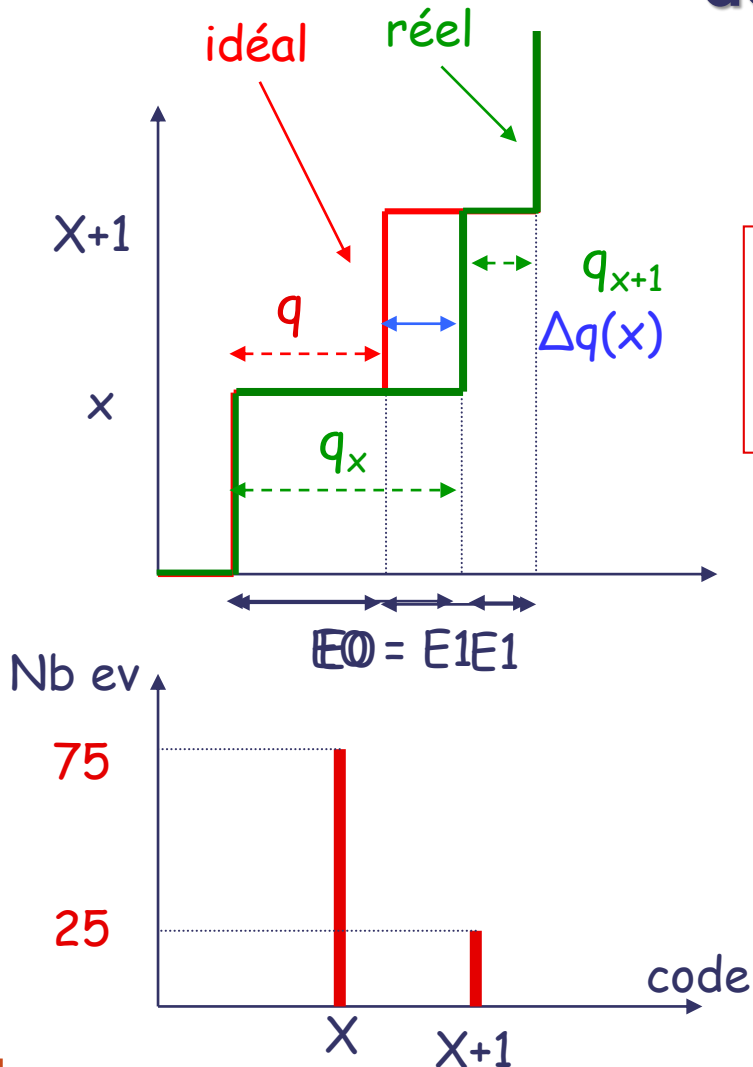


$$\text{LinInt}(i) = \sum_{j \leq i} \frac{q_j - q}{q} \rightarrow \text{Max}[\text{linInt}(i)]$$



DNL : Non Linéarité Différentielle

Définition : écart maximal de la largeur de 2 marches successives en LSB



$$DNL = \Delta q(x)_{\max} / q$$

Cas idéal : $DNL = 0$

Un bon ADC : $DNL < \pm 1$ LSB sinon code manquant

Exemple :

si $DNL = \pm 0,5$ LSB
alors $0,5 \text{ LSB} < q_i < 1,5 \text{ LSB}$
 q_i : largeur de la marche i

Pour 100 évènements statistiquement répartis entre E_0 et E_1

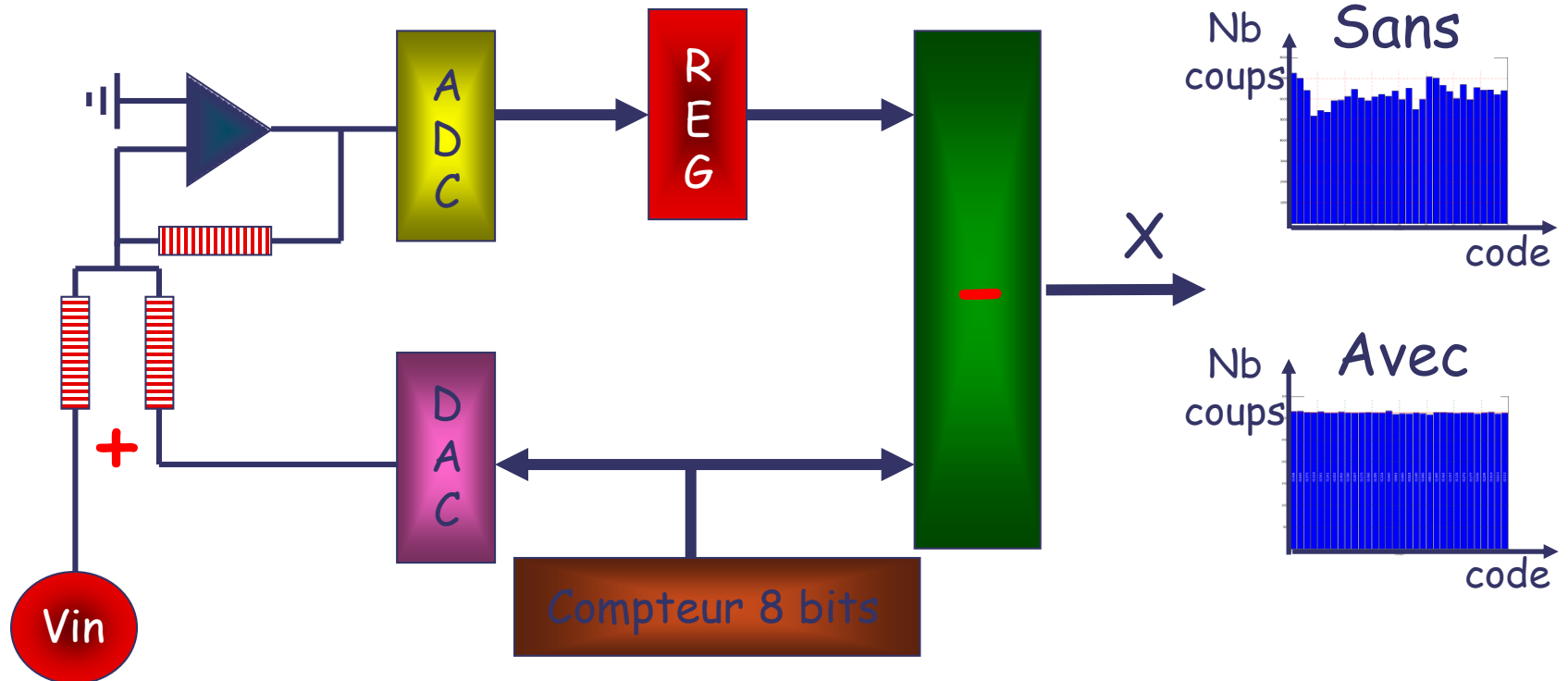
Pour une DNL nulle on aurait 2 pics de 50 coups chacun

Correction par Échelle Glissante

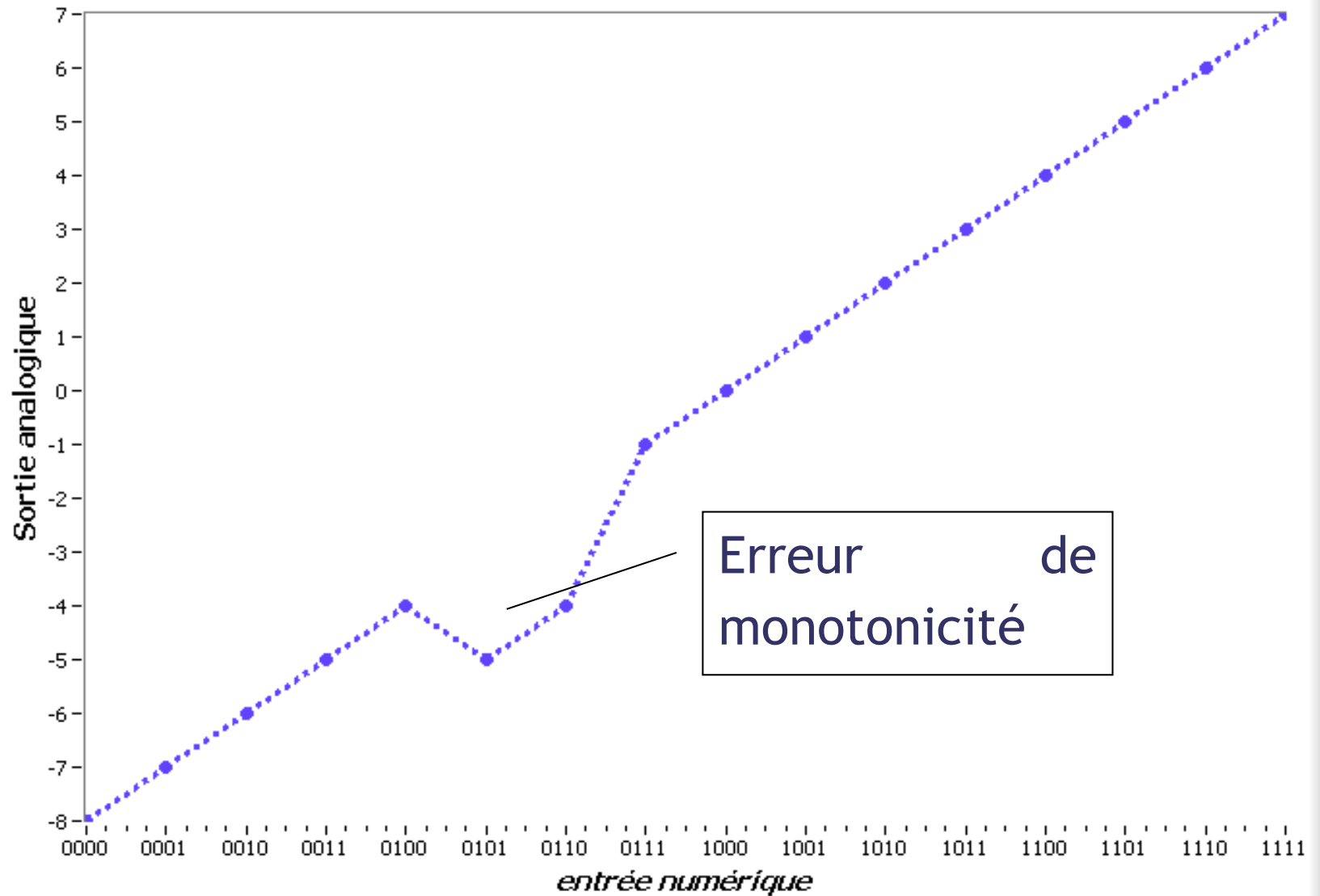
Remarque :

Cette Non Linéarité Différentielle est très néfaste dans notre domaine :
Comme on représente des histogrammes représentant le nombre de fois
où l'énergie a été numérisée pour une voie.

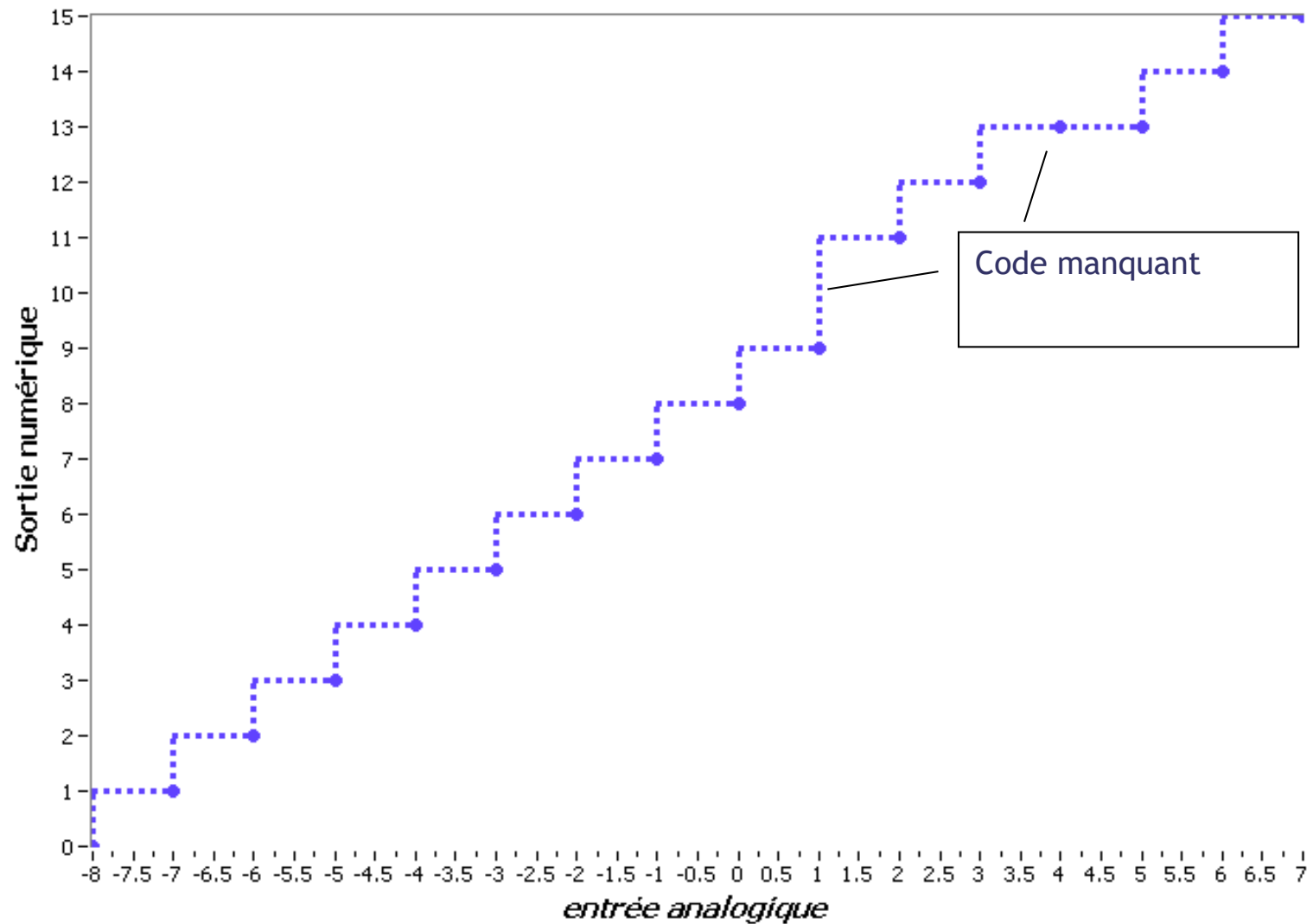
Une mauvaise DNL peut créer des pics parasites ou masquer
des pics caractéristiques



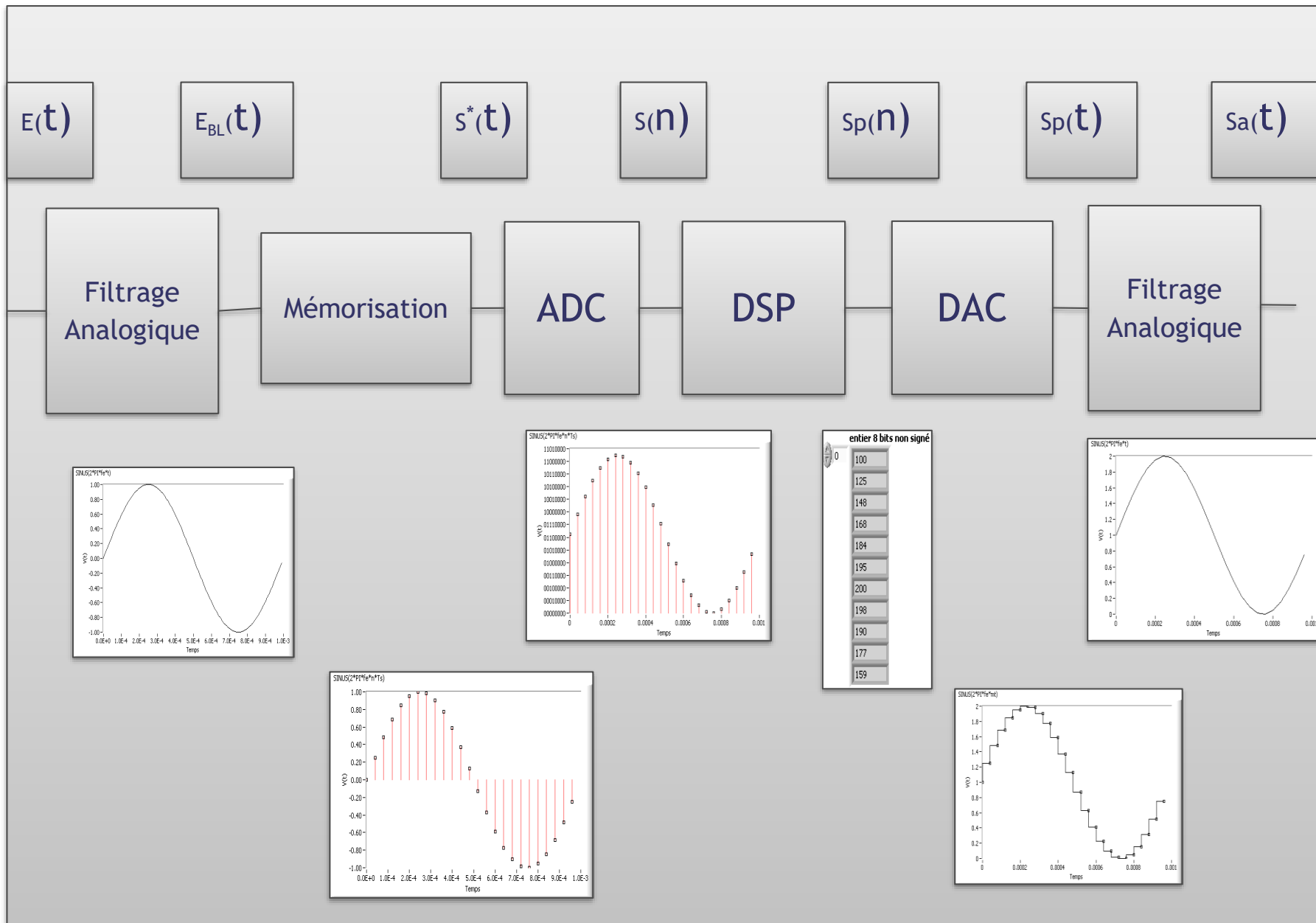
fonction de transfert d'un DAC bipolaire 4 bits non monotonic



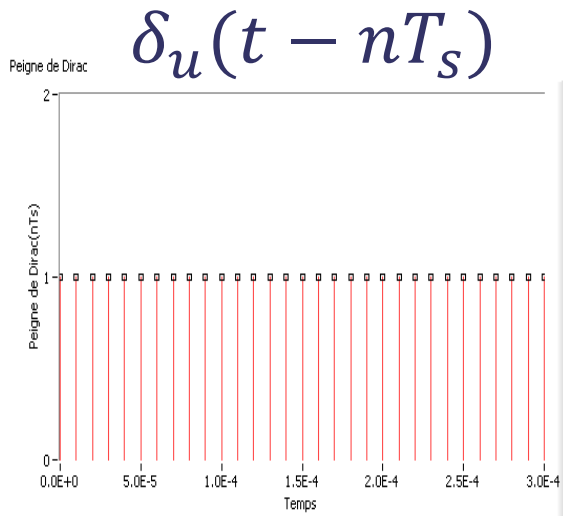
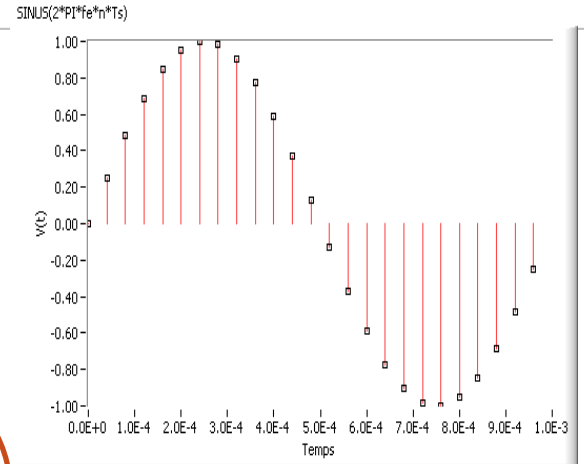
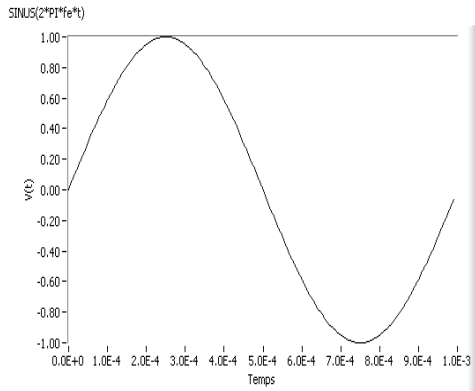
fonction de transfert d'un ADC bipolaire 4 bits avec code manquant



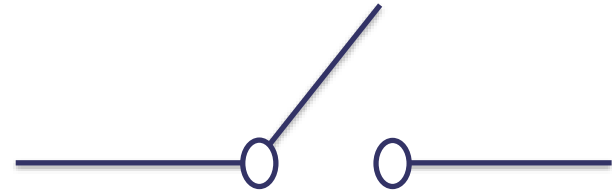
Traitement de l'Information



$$E_{BP}(t) = A \cdot \sin(2\pi f_e \cdot t)$$



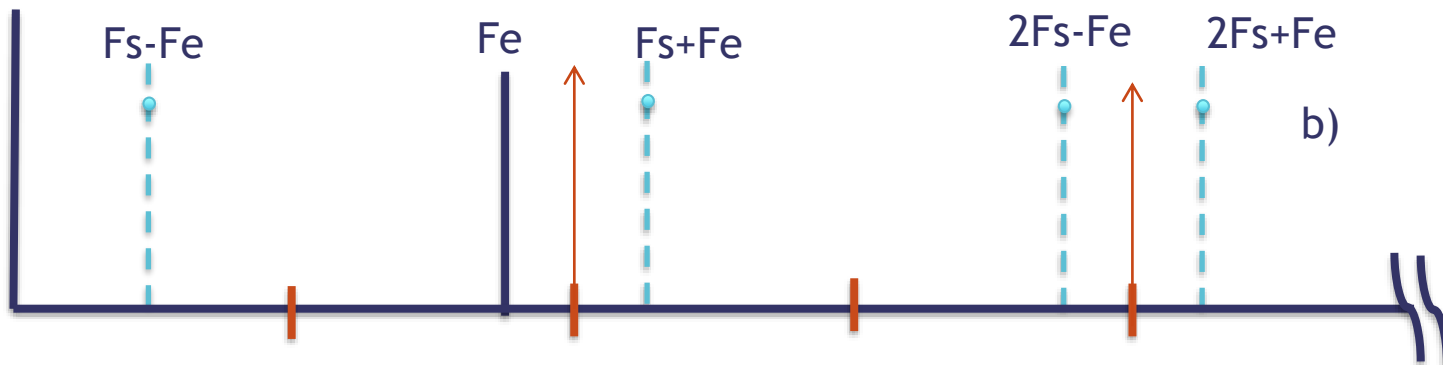
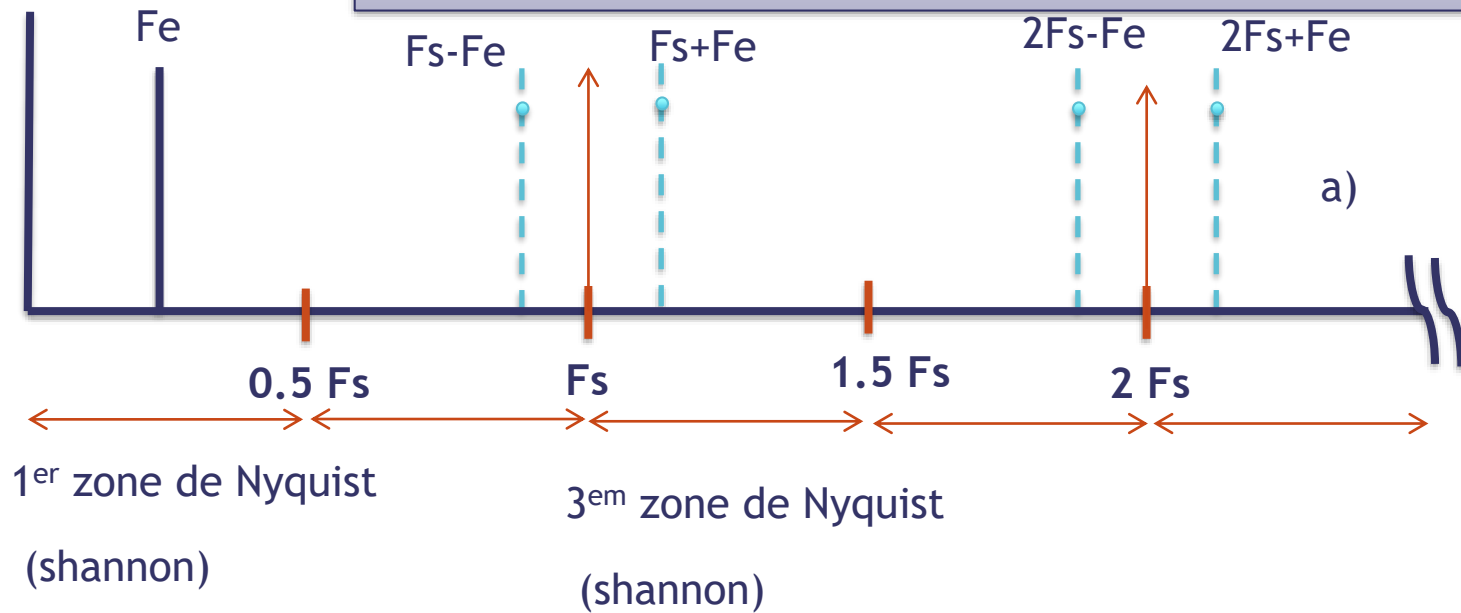
$$S^*(t) = \sum_n E_{BP}(t) \cdot \delta_u(t - nT_s)$$



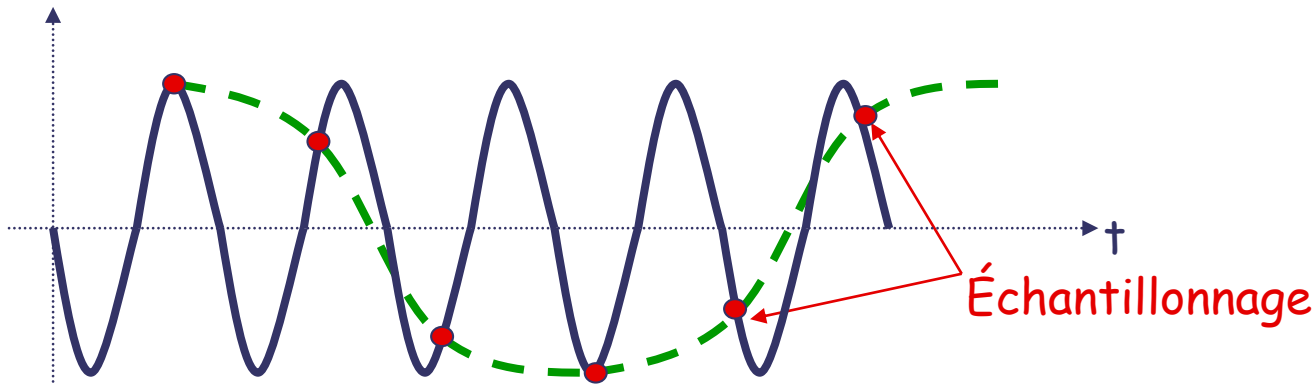
$$S^*(f) = \frac{1}{T_e} \sum_n E_{BP}(f - nT_s) \quad | \quad f = v \cdot f_s$$

Pour un signal sinusoïdal

$$S^*(f) = \frac{A}{T_s} \sum_{k=-\infty}^{\infty} [\delta(f - f_e + k \cdot f_s) + \delta(f + f_e + k \cdot f_s)]$$



Critère de Nyquist / Théorème de Shannon



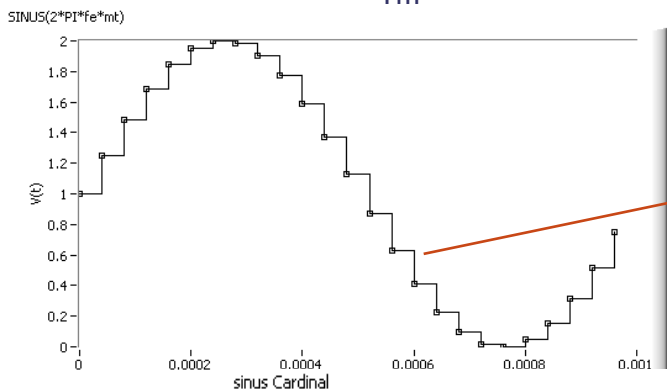
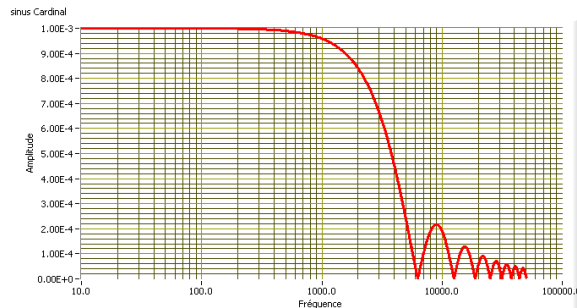
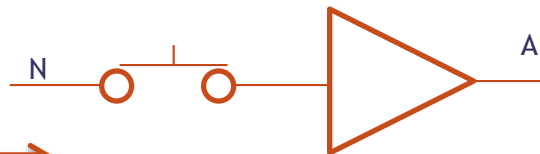
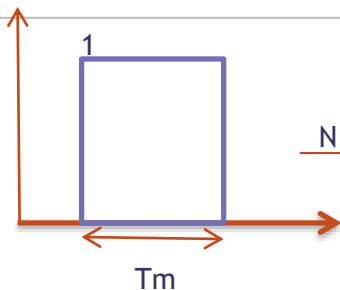
Quel est le nombre d'échantillons minimaux à prendre (quelle est la fréquence d'échantillonnage maximum) pour permettre une bonne restitution du signal d'entrée ?

- $F_s > 2 * B_{\text{analogique}}$ → on utilise Fourier, Laplace, la transformée en Z pour étudier le système.
- $F_s < 2 * B_{\text{analogique}}$ → on a du repliement en fréquence. On l'utilise dans les communications et les radars.

Corollaire : Si un signal a des composantes fréquentielles comprises entre f_b et f_a , alors $F_s > 2 * (f_b - f_a)$ pour prévenir le chevauchement des composantes fréquentielles pour le signal numérisé.

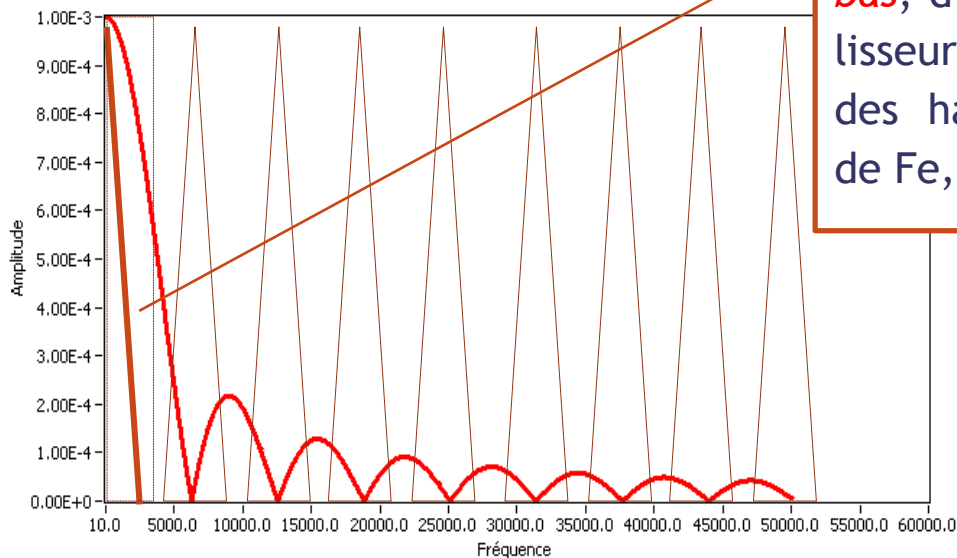
→ Filtrage anti-repliement limitant la bande passante du signal

$$M(f) = \frac{1}{T_m} \cdot \text{sinc}(\pi \cdot T_m \cdot f)$$



$$G(t-kT_e) = \text{rect}[0, T_e]$$

Utilisation d'un *filtre passe-bas*, d'un interpolateur ou d'un lisseur pour réduire l'influence des hautes fréquences autour de F_e , $2F_e$



20 bits

Résolution

Sigma-Delta

Intégration double rampe

Approximation successive

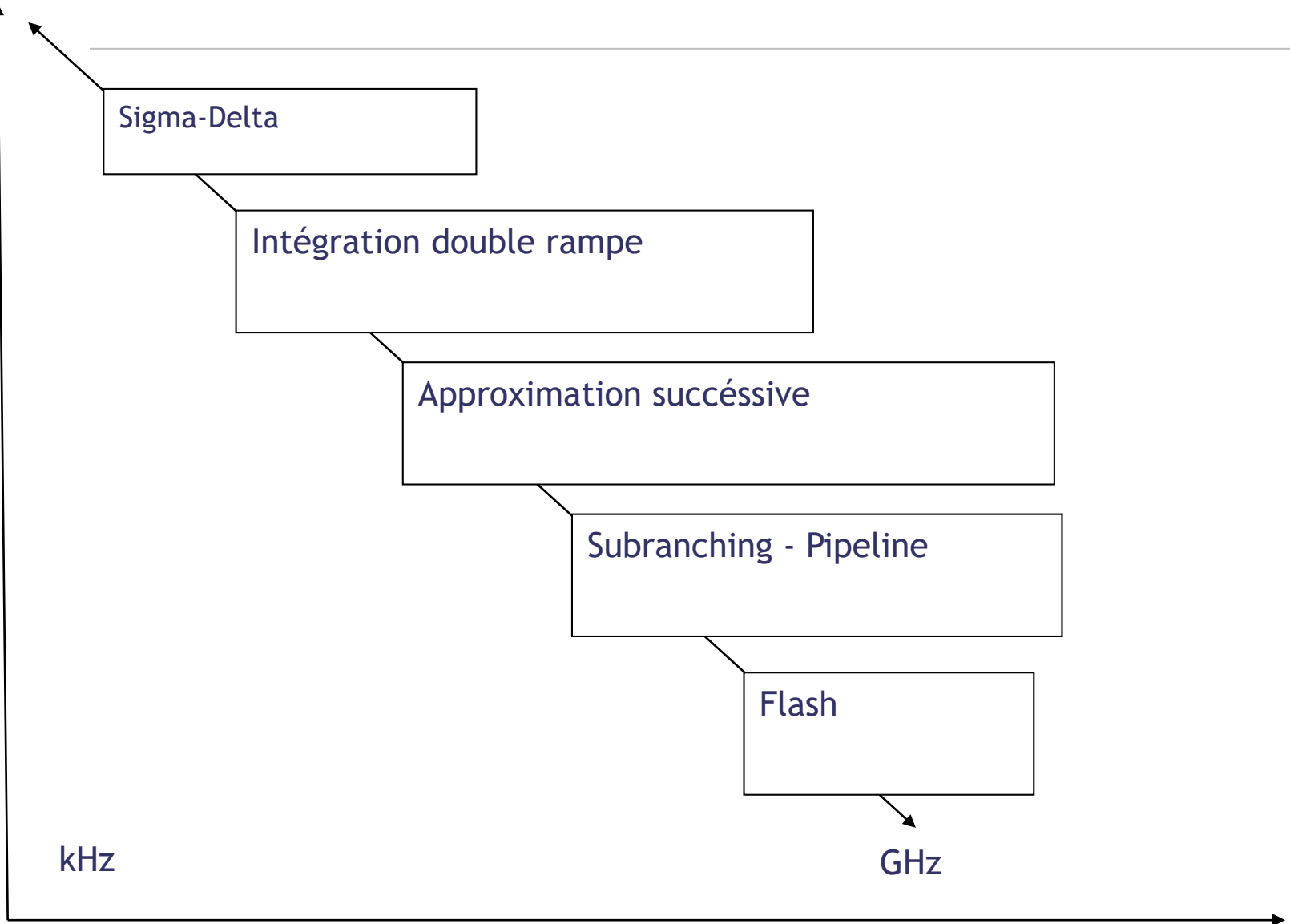
Subbranching - Pipeline

Flash

8 bits

kHz

GHz



Analyse de données

Troncature :



$x_N[k] = x_\infty[k] \cdot w_T[k]$ avec w_T la fonction de Dirichlet :

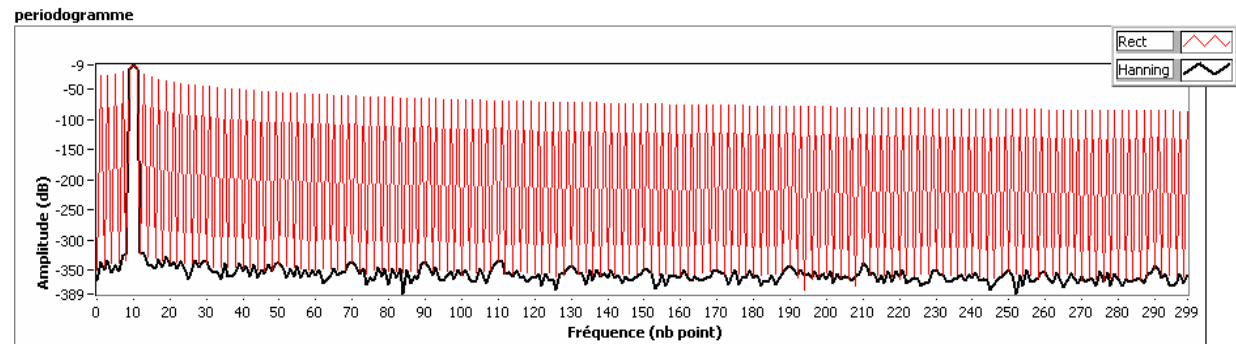
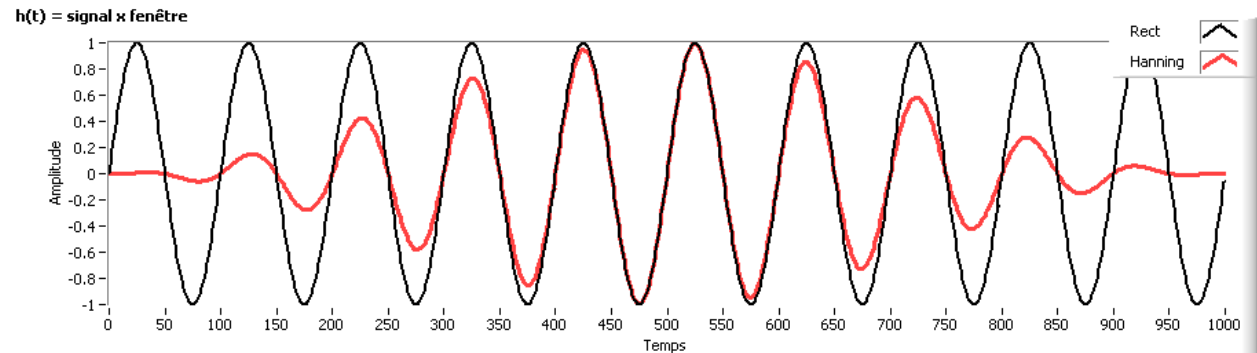
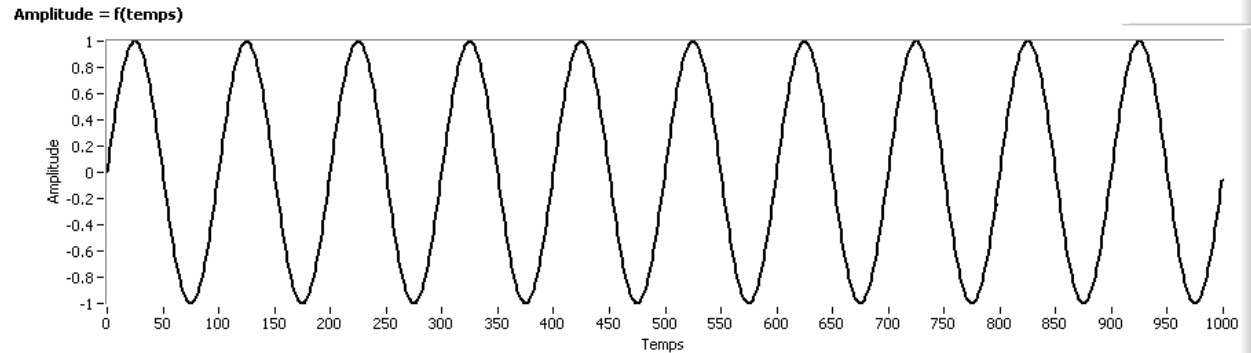
En fréquence, on obtient un produit de convolution :

$X_N(\nu) = (X_\infty * W_N)(\nu)$
avec

$$W_N(\nu) = N \cdot \frac{\sin(\pi N \nu)}{N \cdot \sin(\pi \nu)} e^{-i2\pi \nu \frac{N-1}{2}}$$

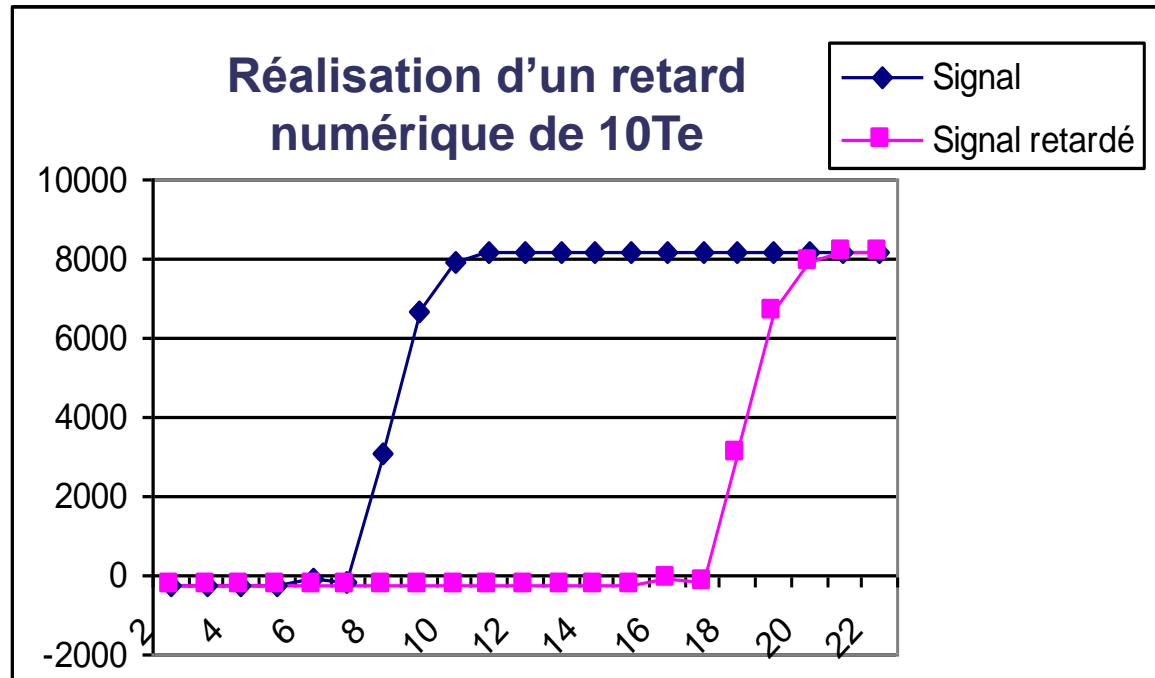
→ **Principe de Gabor** : On ne peut être localisé en temps si on est localisé en fréquence :

$$\Delta t^2 \cdot \Delta f^2 \geq \frac{1}{16\pi^2}$$



Une fois que l'on a numérisé le signal,
« on fait ce que l'on en veut ou presque... »

Exemple de traitement numérique du signal: Le plus simple et en plus très utile...



Plus facile que de mettre du câble pour retarder le signal !

Petit calcul : si $T_e = 10 \text{ ns}$ ($F_e = 100 \text{ MHz}$) $\Rightarrow 10T_e = 100 \text{ ns}$

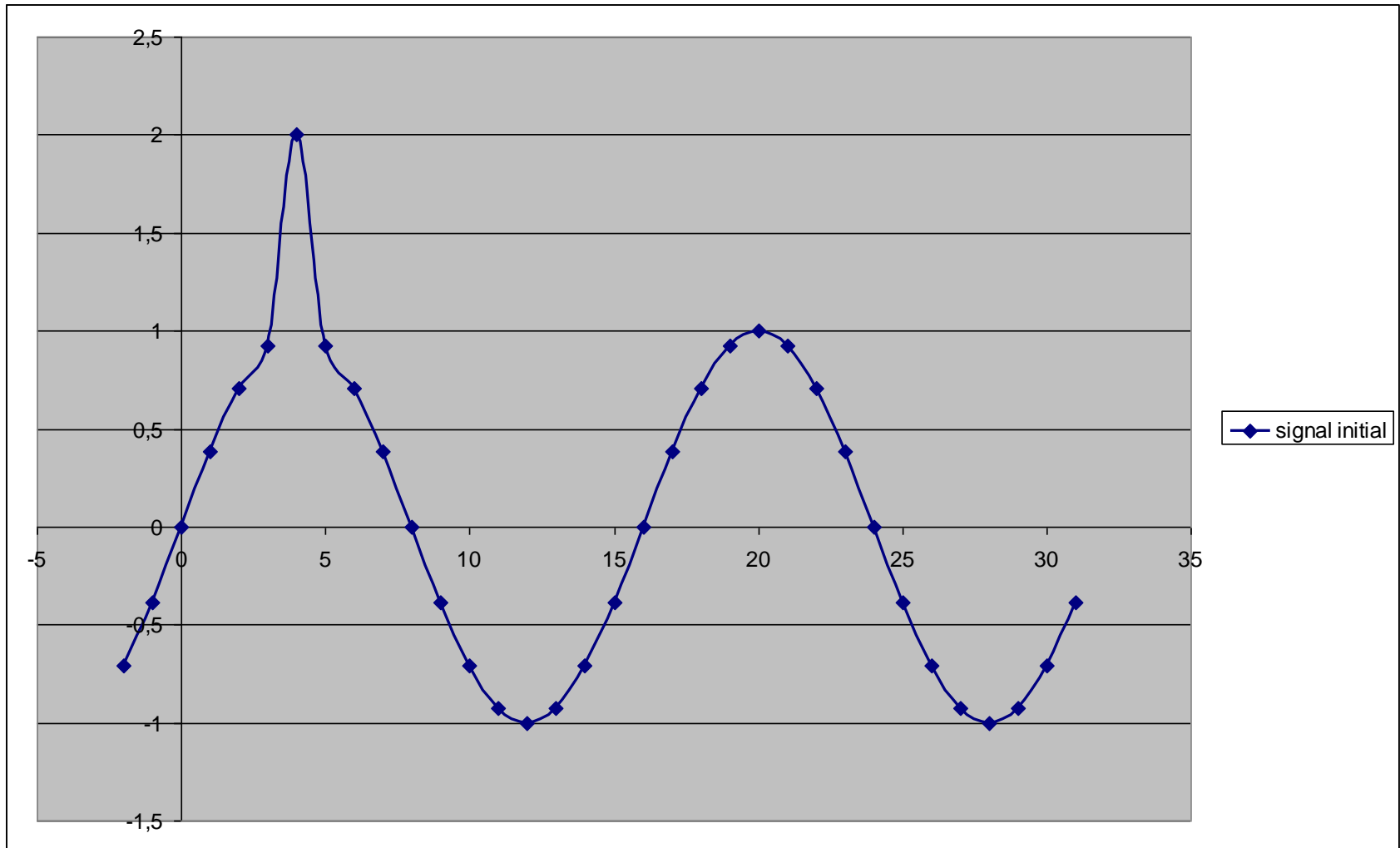
= 20 m de câble!!!



Autre exemple: un filtre numérique

(En numérique, on peut faire du filtrage comme en analogique).

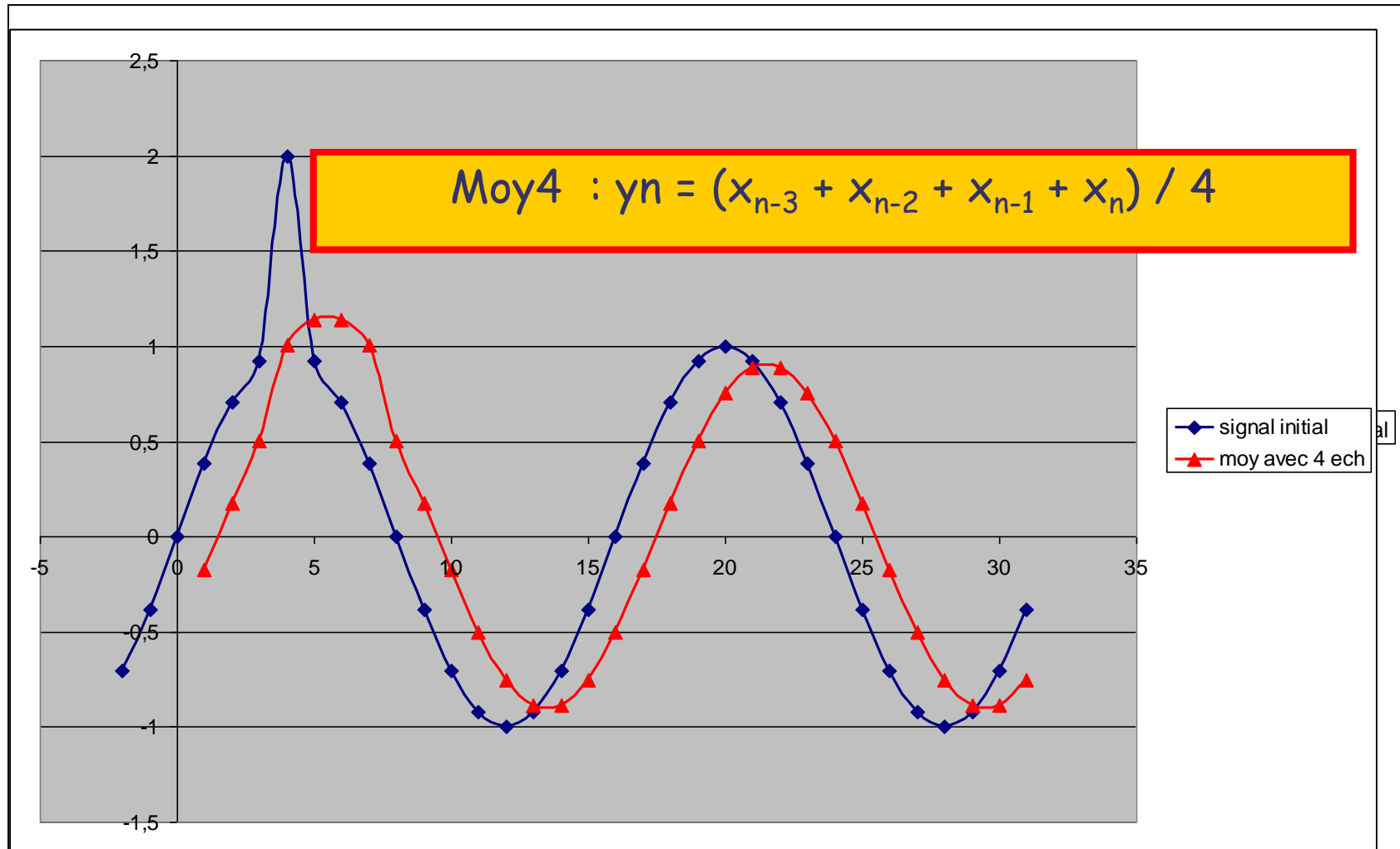
Le Filtre à moyenne mobile (filtre MA, Moving Average) Filtre passe bas



Autre exemple: un filtre numérique

(En numérique, on peut faire du filtrage comme en analogique).

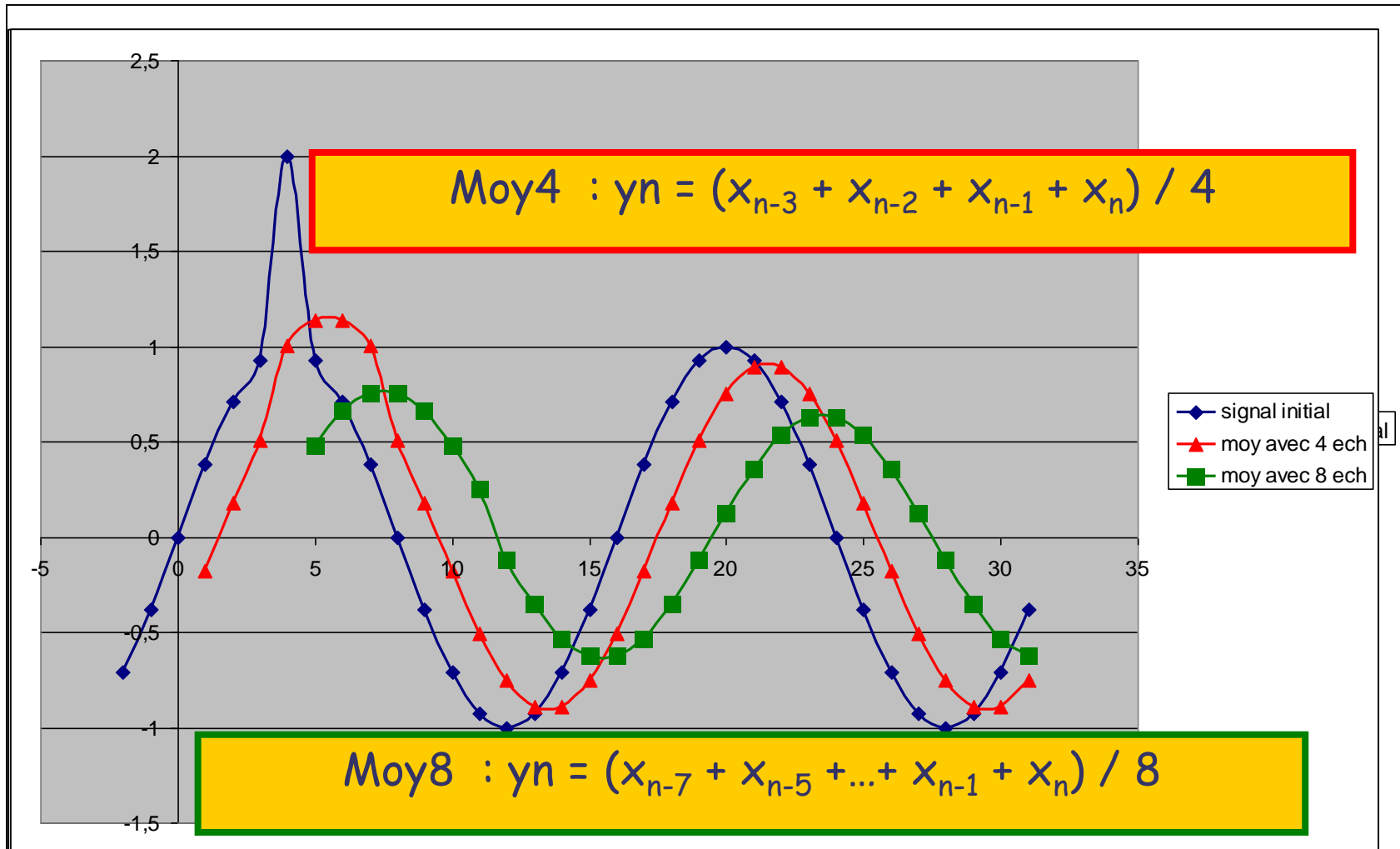
Le Filtre à moyenne mobile (filtre MA, Moving Average) Filtre passe bas



Autre exemple: un filtre numérique

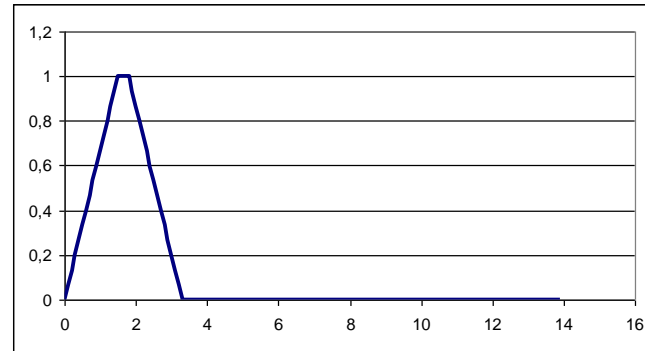
(En numérique, on peut faire du filtrage comme en analogique).

Le Filtre à moyenne mobile (filtre MA, Moving Average) Filtre passe bas



Autre exemple: Le filtre trapézoïdale (Gated integrator)

Ce type de filtre est très utilisé dans la mesure d'énergie.



Bruit :

presque optimal, dépend de la largeur du plateau


Empilements :

excellentes performances

Déficit balistique :

rigoureusement insensible (durée de plateau > variation balistique)

Commentaires :

Filtre de réalisation très aisée en numérique. Il représente, en numérique, l'équivalent du $CR(RC)^4$ analogique. 

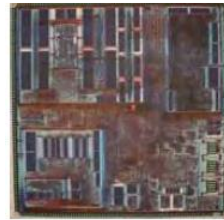
$$CEB = 1,075 \rightarrow 1,15 \cdot CEB_{\infty}$$

Suivant largeur du plateau

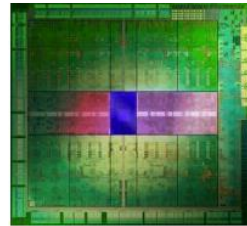
Technologies matériels numériques



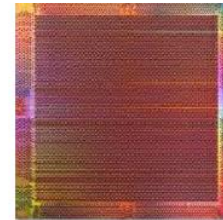
CPUs



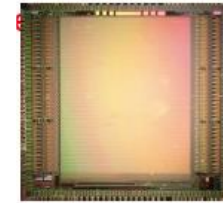
DSPs



GPUs



FPGAs

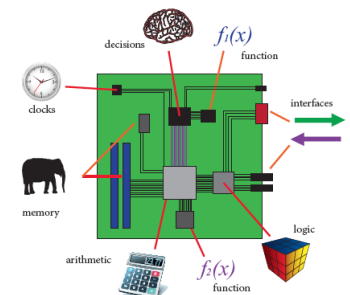
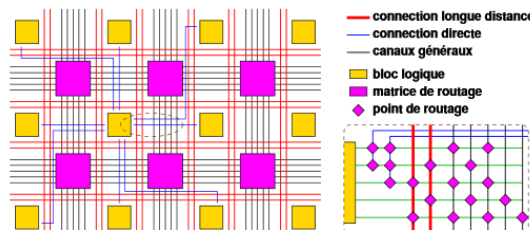
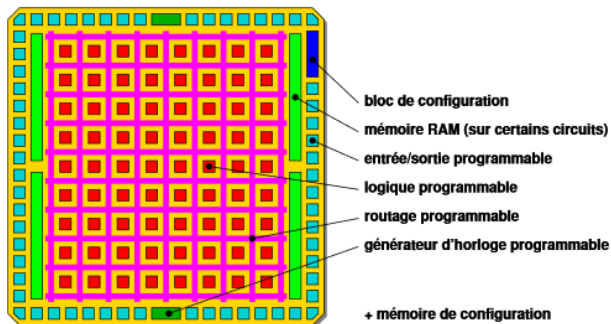


ASICs

- Multi-core Central Processing Unit
- Digital Signal Processing processor
- Graphics Processings Units
- Field Programmable Gate Arrays (FPGAs)
- Application Specific Integrated Circuit

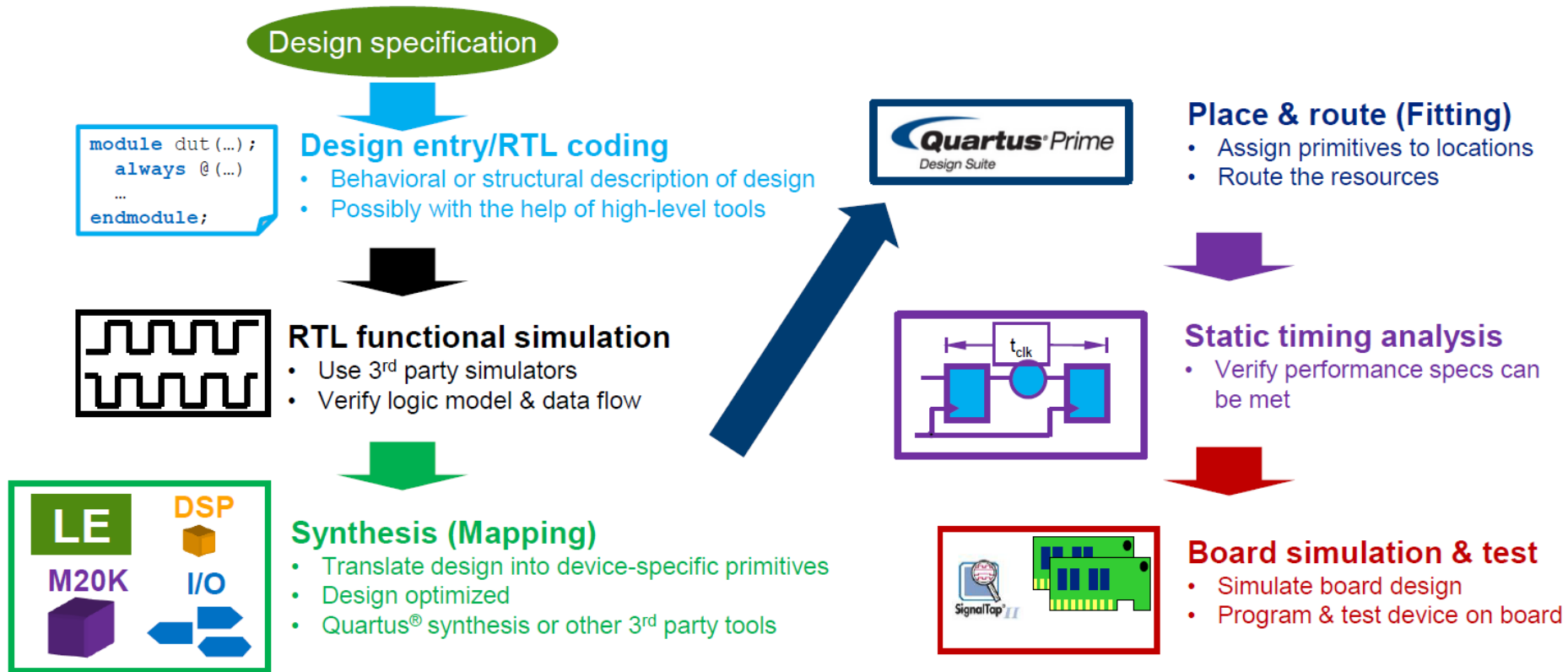
Intéressons-nous aux FPGAs (Firmware)

Les FPGA sont des composants VLSI entièrement reconfigurables ce qui permet de les reprogrammer à volonté afin d'accélérer notablement certaines phases de calculs



FPGA + CPU (ARM)

Traditional FPGA Design Flow



45nm

SPARTAN.⁶

28nm

VIRTEX.⁷
 KINTEX.⁷
 ARTIX.⁷
 SPARTAN.⁷

20nm

VIRTEX.
 UltraSCALE
 KINTEX.
 UltraSCALE

16nm

VIRTEX.
 UltraSCALE+
 KINTEX.
 UltraSCALE+

Product Tables and Product Selection Guides



Cost-Optimized Portfolio

Spartan-7	Spartan-6
Artix-7	Zynq-7000



7 Series

Spartan-7	Artix-7
Kintex-7	Virtex-7



UltraScale

Kintex UltraScale	Virtex UltraScale
-------------------	-------------------



UltraScale+

Kintex UltraScale+	Virtex UltraScale+
--------------------	--------------------



Intel® Stratix® Series

The Intel® Stratix® FPGA and SoC family enables you to deliver high-performance, state-of-the-art products to market faster with lower risk and higher productivity.



Intel® Arria® Series

The Intel® Arria® device family delivers Intel® performance and power efficiency in the midrange.



Intel® Cyclone® Series

The Intel® Cyclone® FPGA series is built to meet your low-power, cost-sensitive design needs, enabling you to get to market faster.

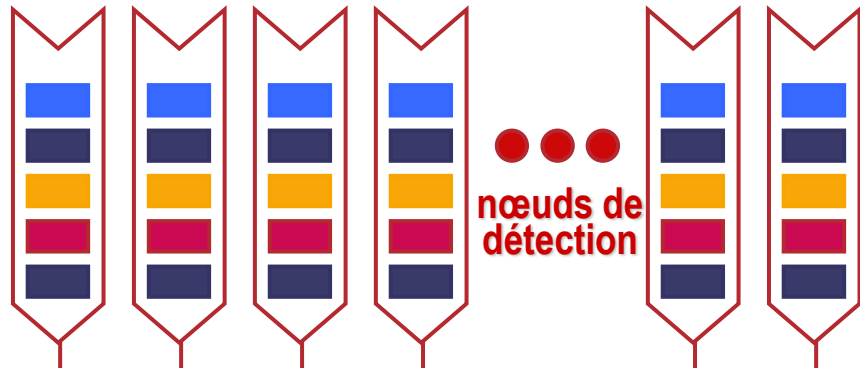


Intel® MAX® Series

The Intel® MAX® 10 FPGAs revolutionize non-volatile integration by delivering advance processing capabilities in a low-cost, single chip small form.

Comment est-ce utilisé ?

Parallélisme intrinsèque



Assemblage à travers
une cascade de commutateurs



Parallélisme de performance

Connectivité importante

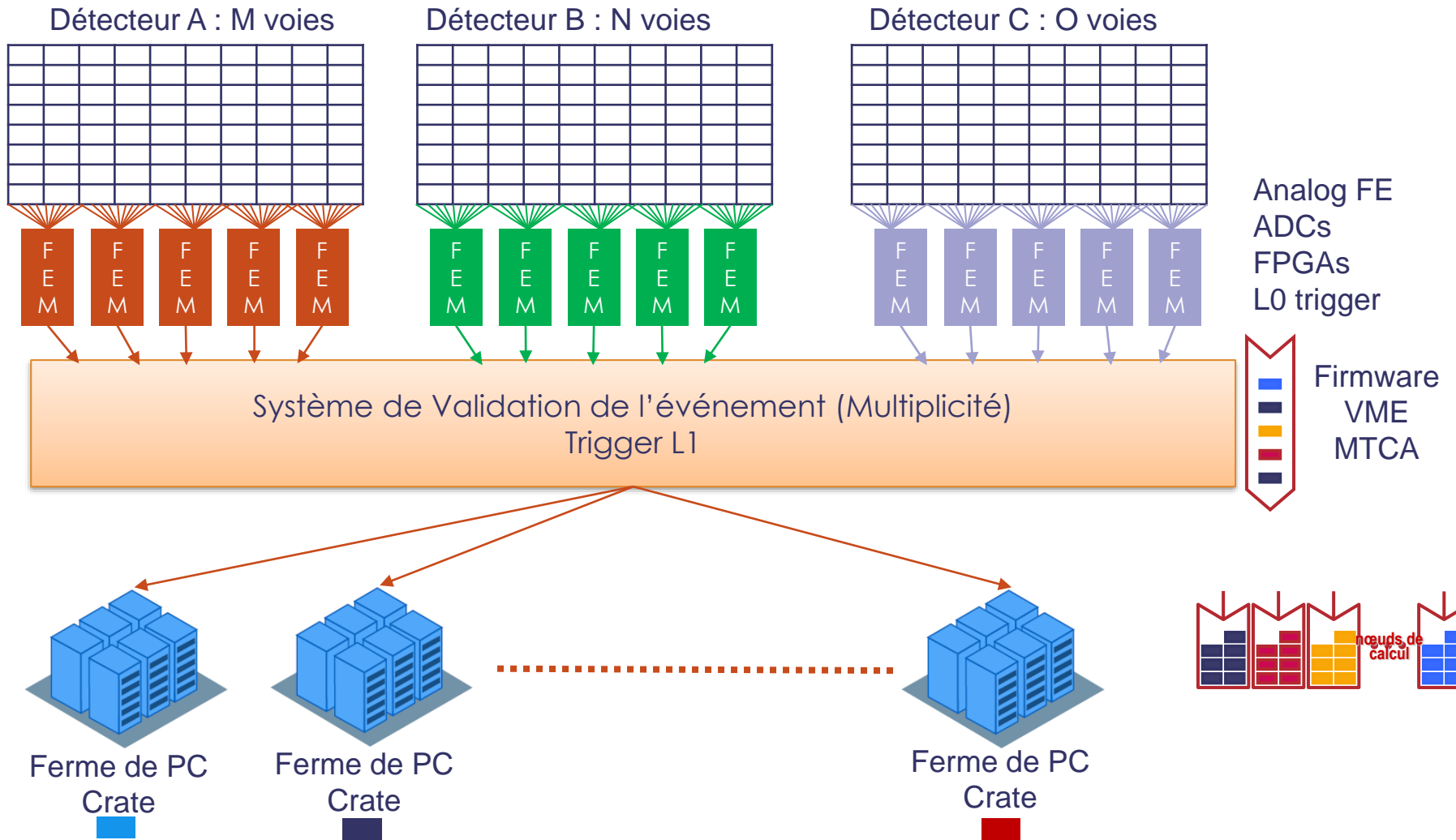
- Matériels & Firmware
- ADC
- TAS (CEB & SNR)

Les aspects numériques :

- Matériels
- Firmware et logiciels
- « Temps réel »
- Distribués
- Hétérogènes
- Projets longs & évolutifs

- Logiciels
- Grille de calculs (DataCenter)

L'architecture d'acquisition de données multi-détecteurs



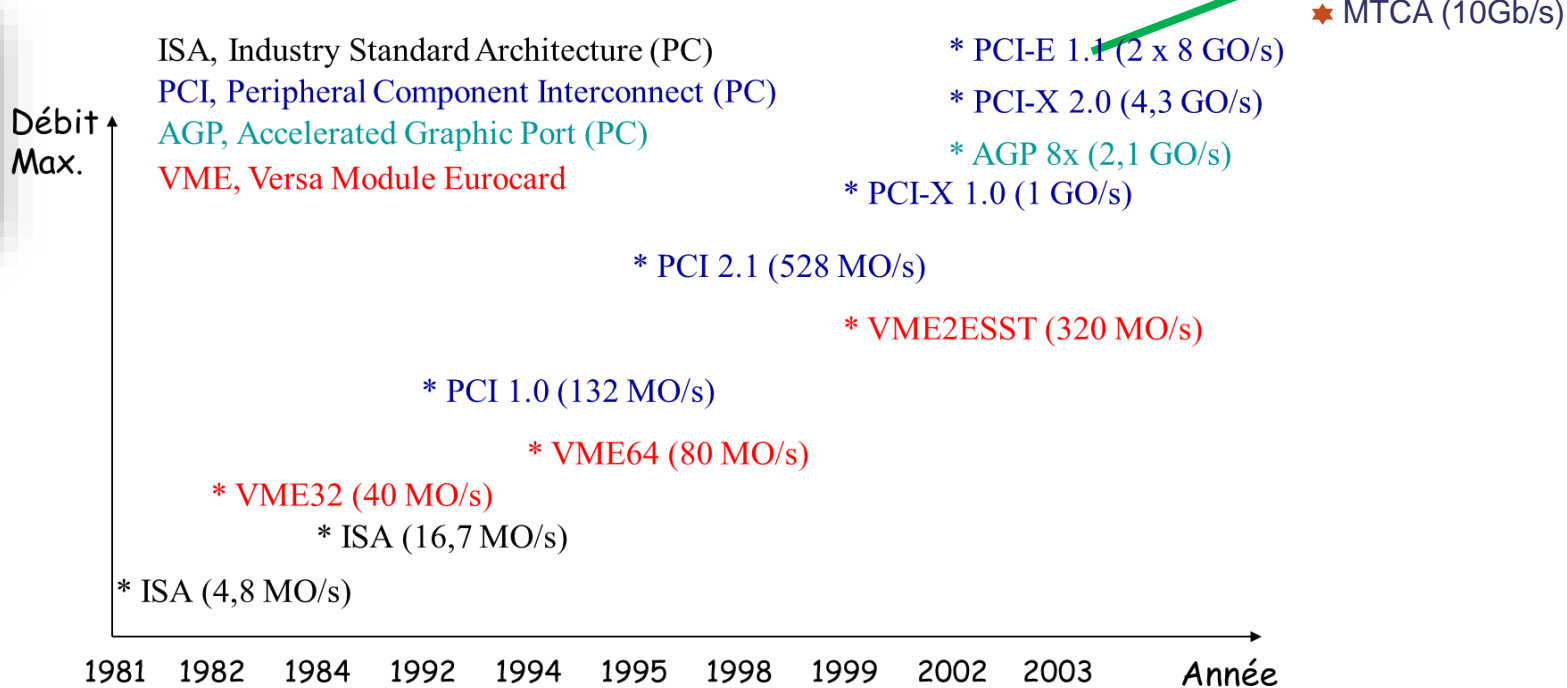
Les Crates et les bus associés



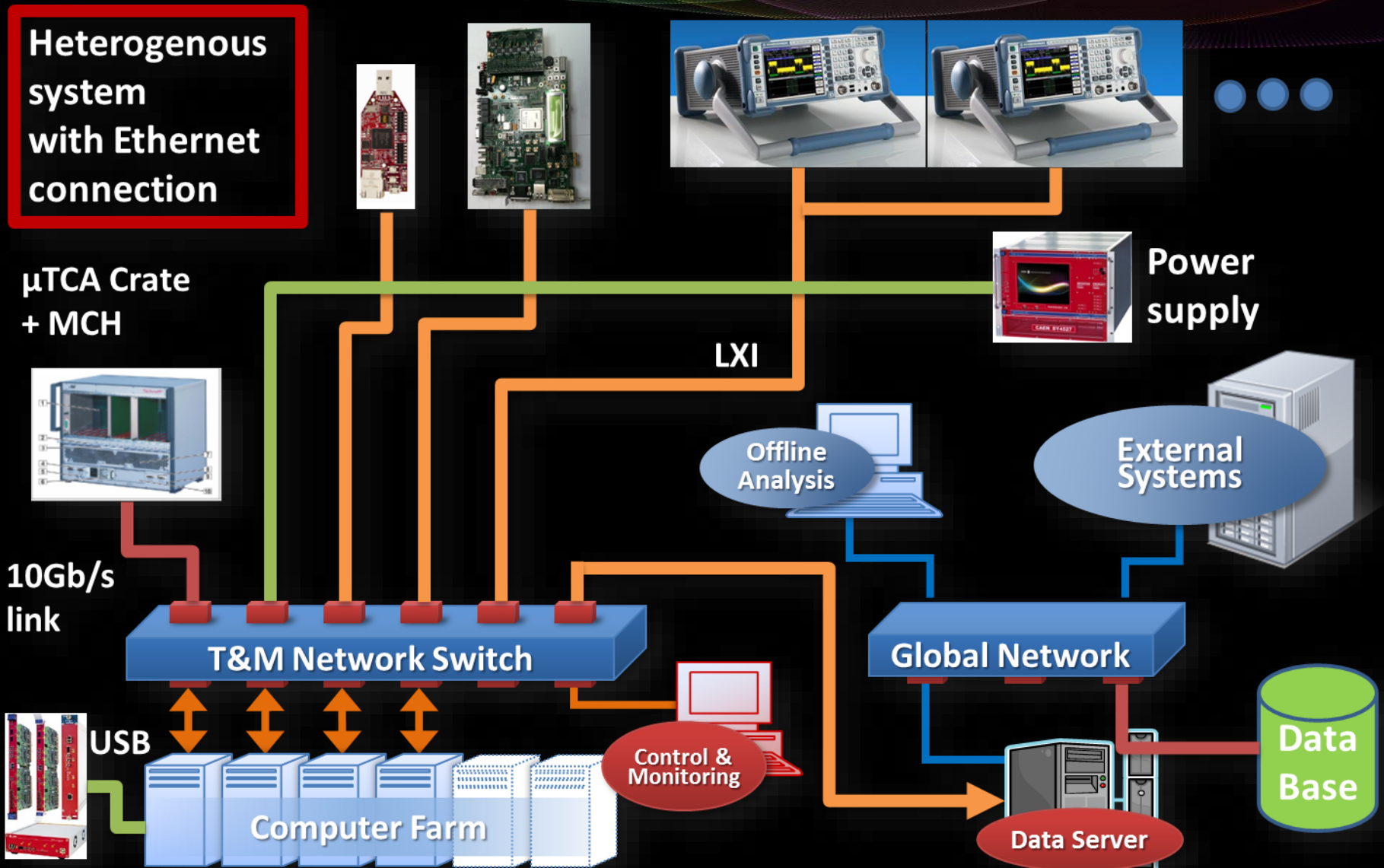
Pour synchroniser, contrôler les différentes cartes, on utilise des standards industriels :

- PCI express (PC)
- MTCA
- VMX
- GPSP
- VME
- CAMAC
- NIM

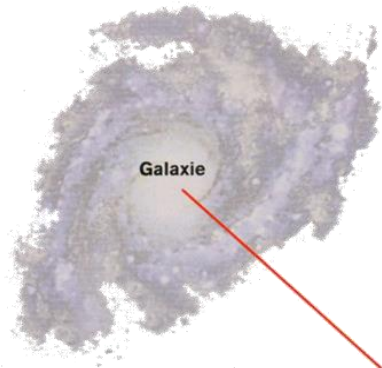
Évolution des Bus d'acquisition de données



Une architecture adaptable

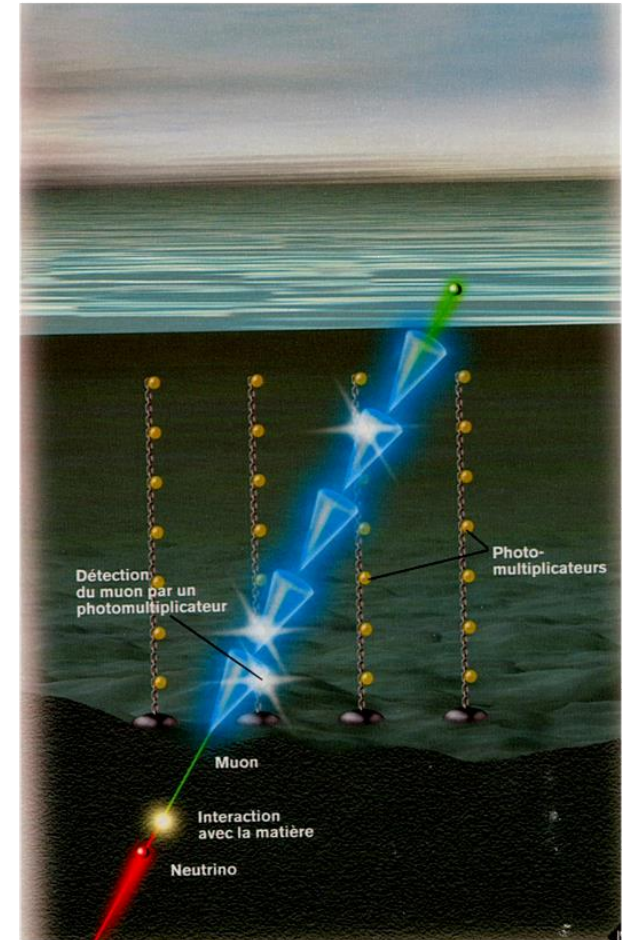
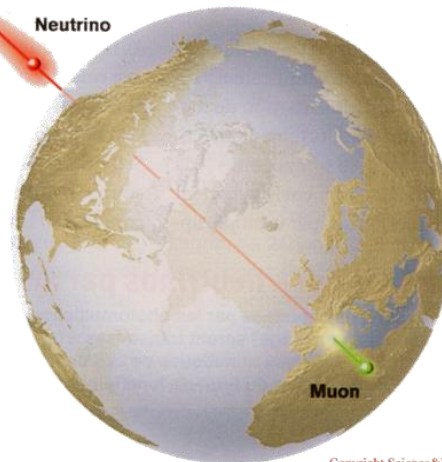


Principe du télescope



ANTARES

<http://antares.in2p3.fr>



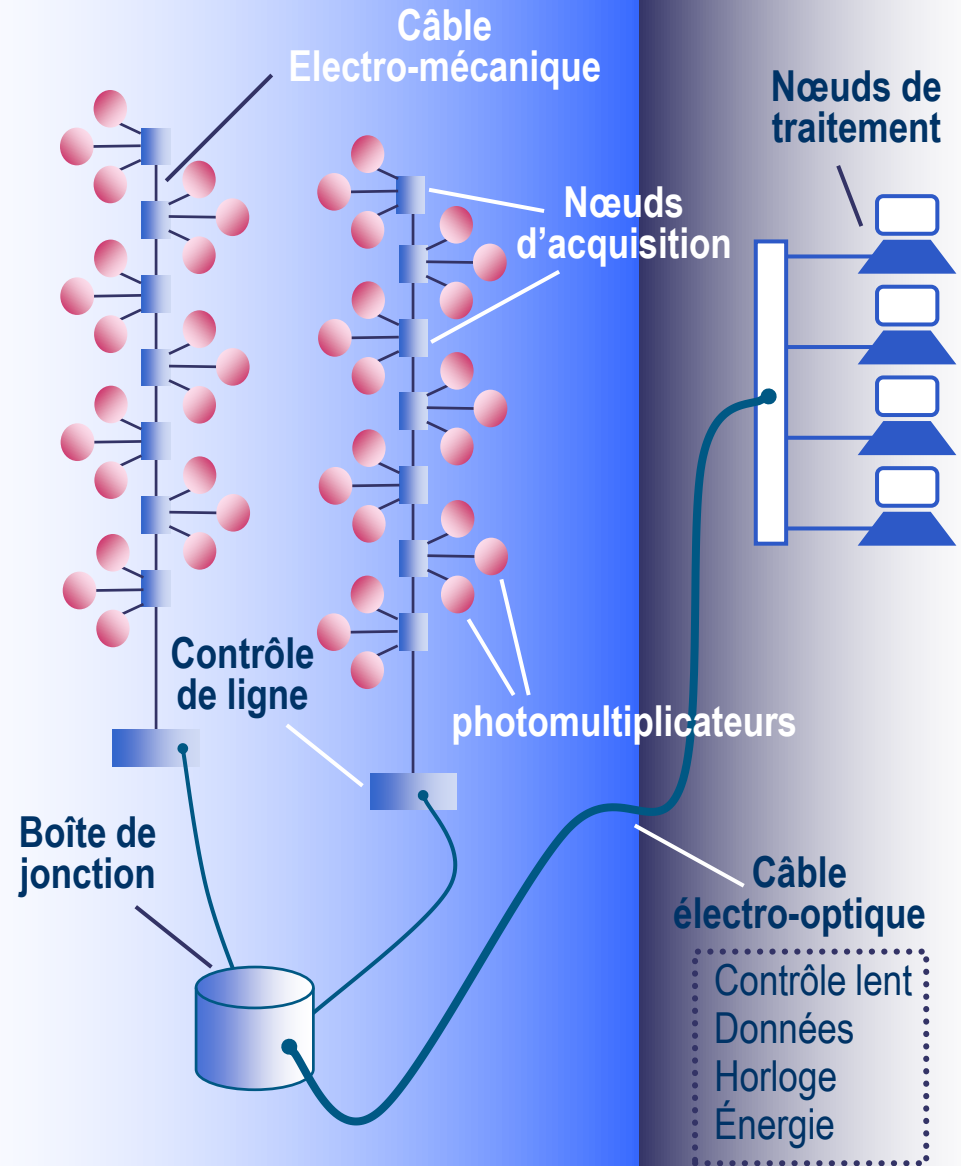
Copyright Science&Vie Juillet 1999

Antares :

Le projet "0.1 km²"

- 12 lignes de détection (400 m)
- 300 nœuds d'acquisition (25 / ligne)
- 900 photomultiplicateurs (3 / nœud)
- 1800 sources de données à 20 Mb/s max
- Système réparti sur 30 000 000 m³ à 2500 m sous l'eau
- Ferme de 100 nœuds de traitement

Offshore A terre



Antares : Ressemblances & différences avec HEP

Systemes

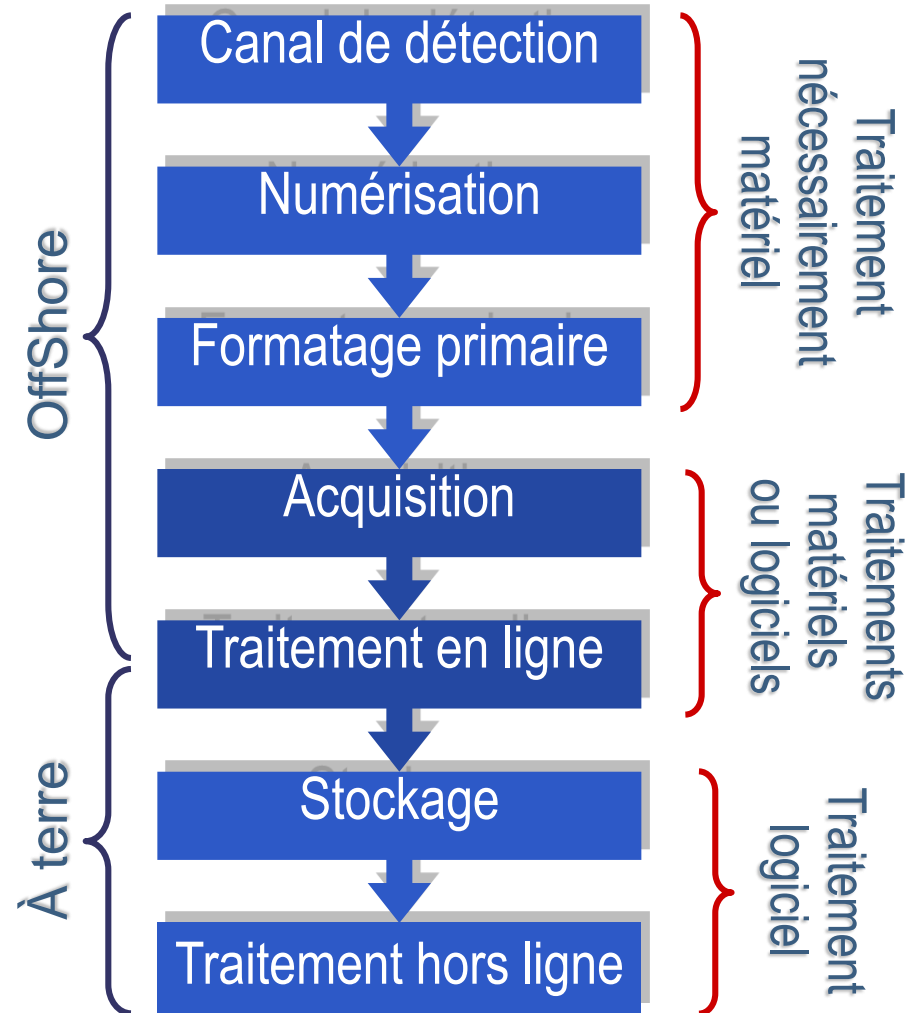
Matériels et logiciels

« Temps réel »

Distribués

Hétérogènes

Projets longs & évolutifs



Les données d'entrée

- Recherche de signal rare
- ⇒ Très faible rapport signal / bruit de fond
- ⇒ Traitement en ligne des données

Contraintes du nœud d'acquisition proche du détecteur

- Place limitée (250 bars)
- Consommation
- Fiabilité ou MTBF
 - 1 nœud unique non accessible (\Leftrightarrow satellite)
 - Plusieurs centaines de nœuds à accessibilité très réduite (détecteurs à grand volume)

\Leftrightarrow 300 « satellites » avec 1/10e du budget

■ Taux moyens estimés

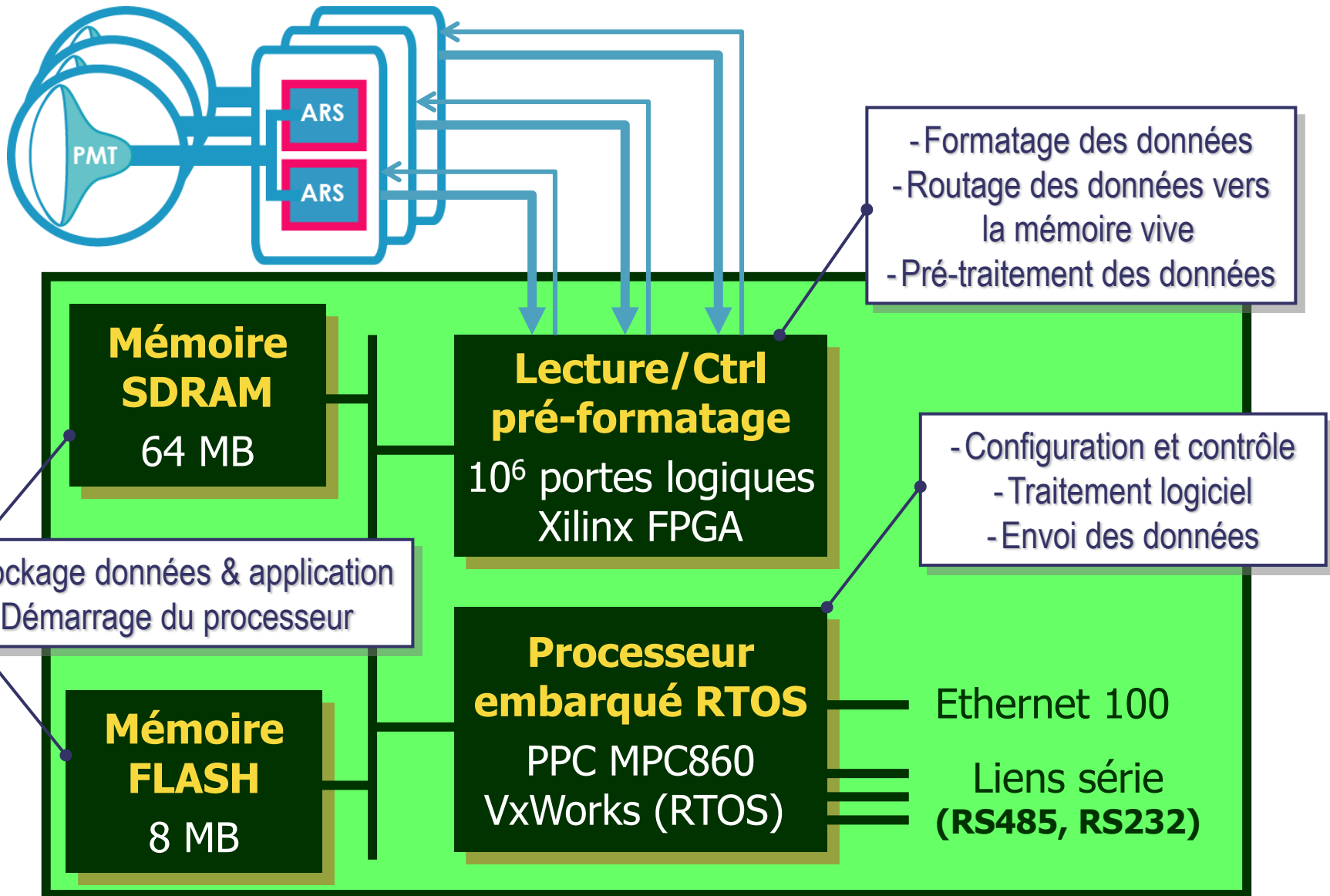
- Chaque photomultiplicateur: ~7 Mb/s
- Chaque étage de détection: ~ 21 Mb/s

■ Fortes fluctuations (bioluminescence)

- Taux max d' 1 photomultiplicateur: 40 Mb/s
- Taux max d'1 étage de détection: 120 Mb/s

⇒ **Absorber les fluctuations en amont**

⇒ **Mémoire importante sur nœud d'acquisition**



■ Puissance 4W en pleine charge

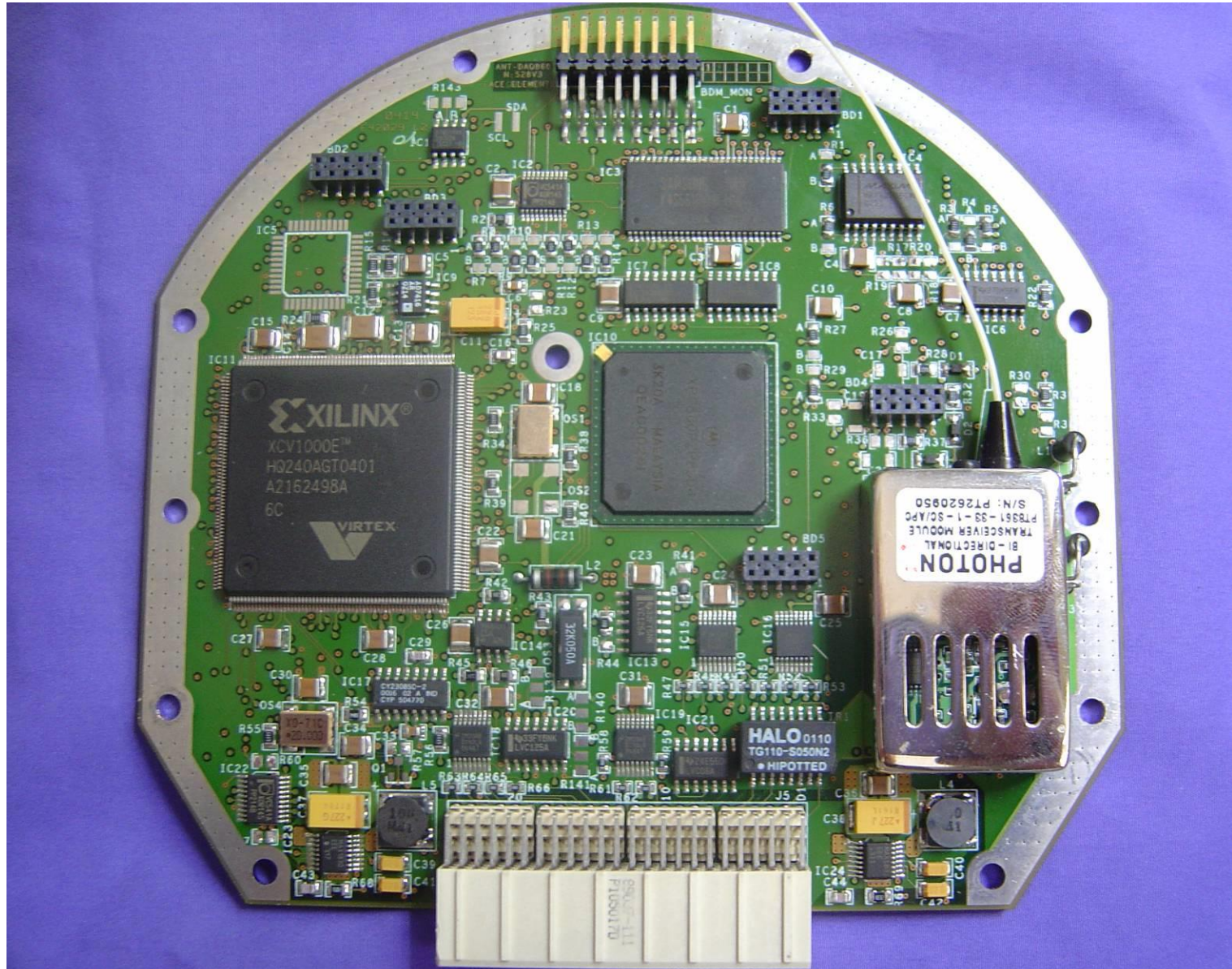
■ Performances Réseau TCP/IP « pures »

- Sous Linux/MontaVista : 25 Mbit/s
- Sous vxWorks/windRiver : 30 Mbit/s, 50 Mbit/s avec option « Zero Copy Buffer »

■ Configuration opérationnelle

- Système d'exploitation retenu vxWorks
- Aucune dégradation des performances du DAQ due au contrôle lent
- Débit mesuré : 40 Mbit/s

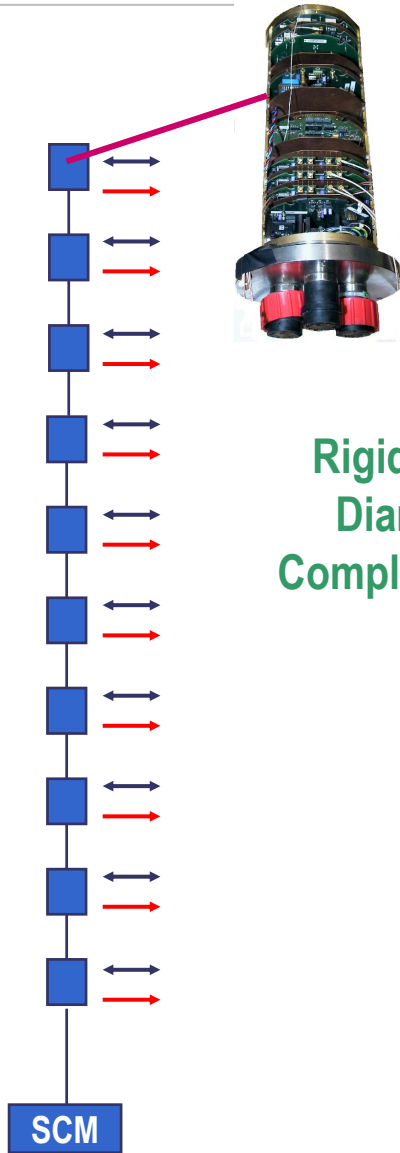
Carte d'acquisition embarquée



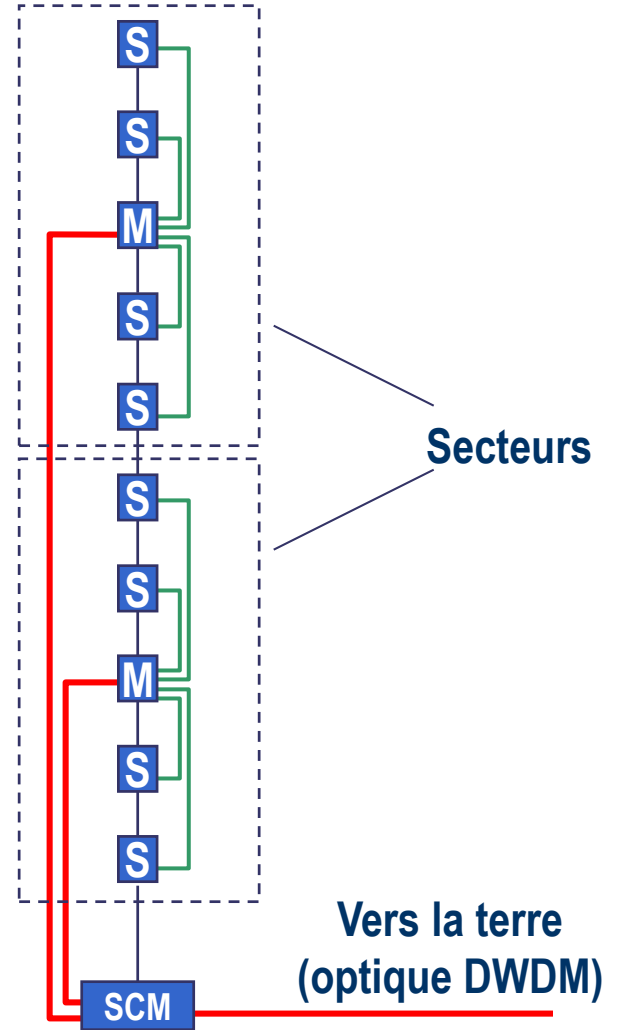
Module de Contrôle Local (LCM)



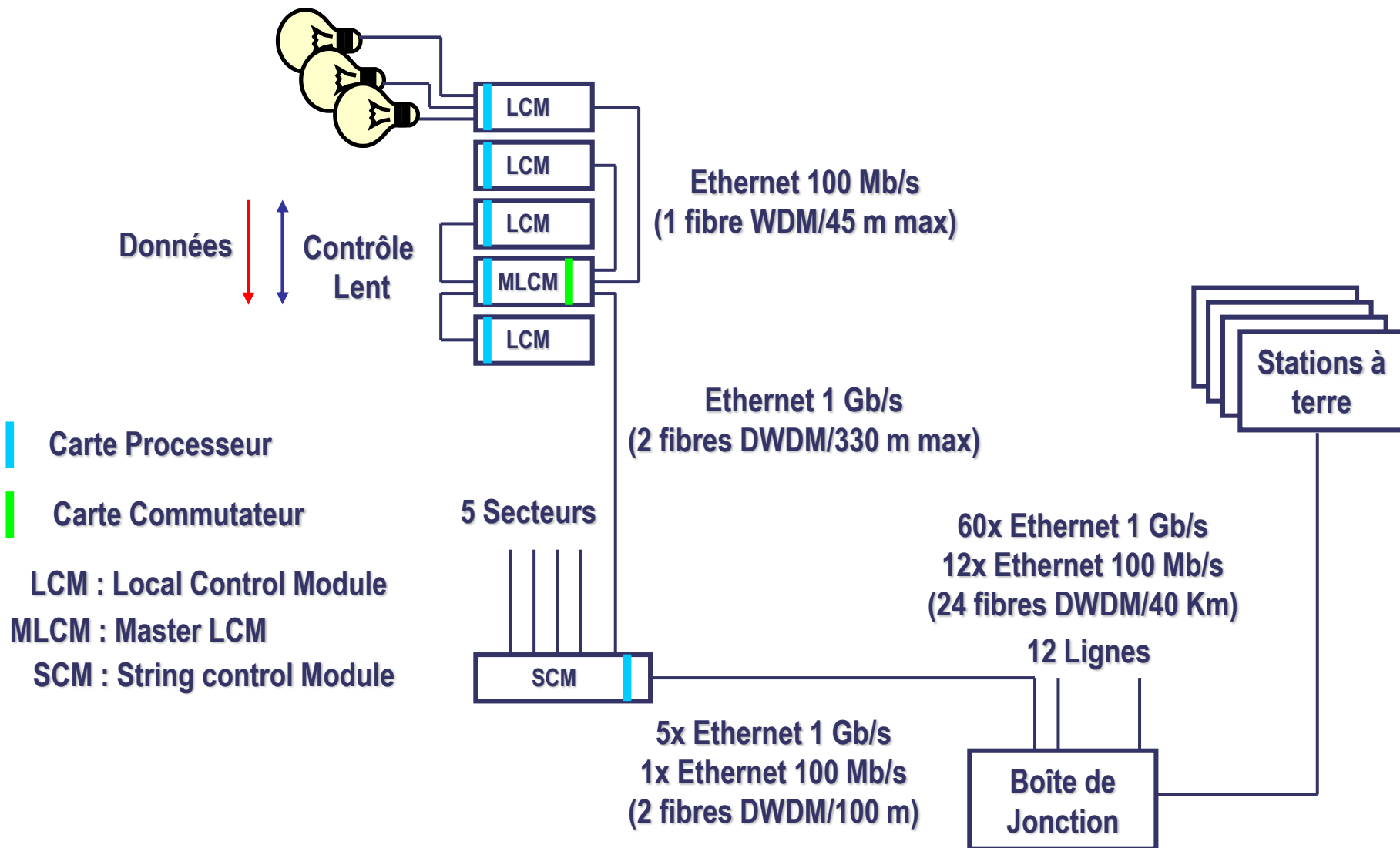
Chaque étage a son propre flot de données
(Slow Control & Données de physique)



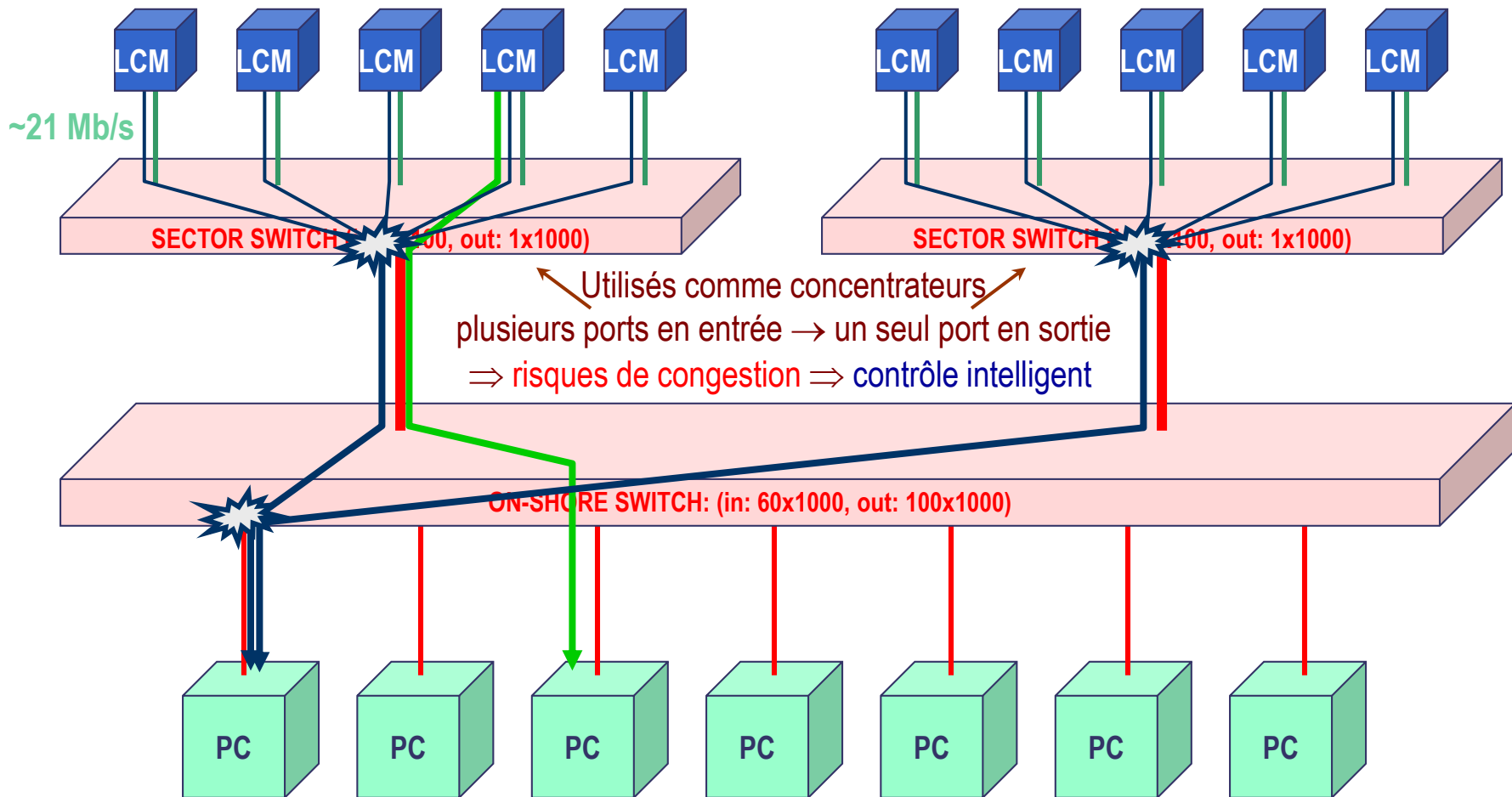
Rigidité du câble EM
Diamètre du câble
Complexité connectique



Un réseau Ethernet « en arbre » comme concentrateur de données

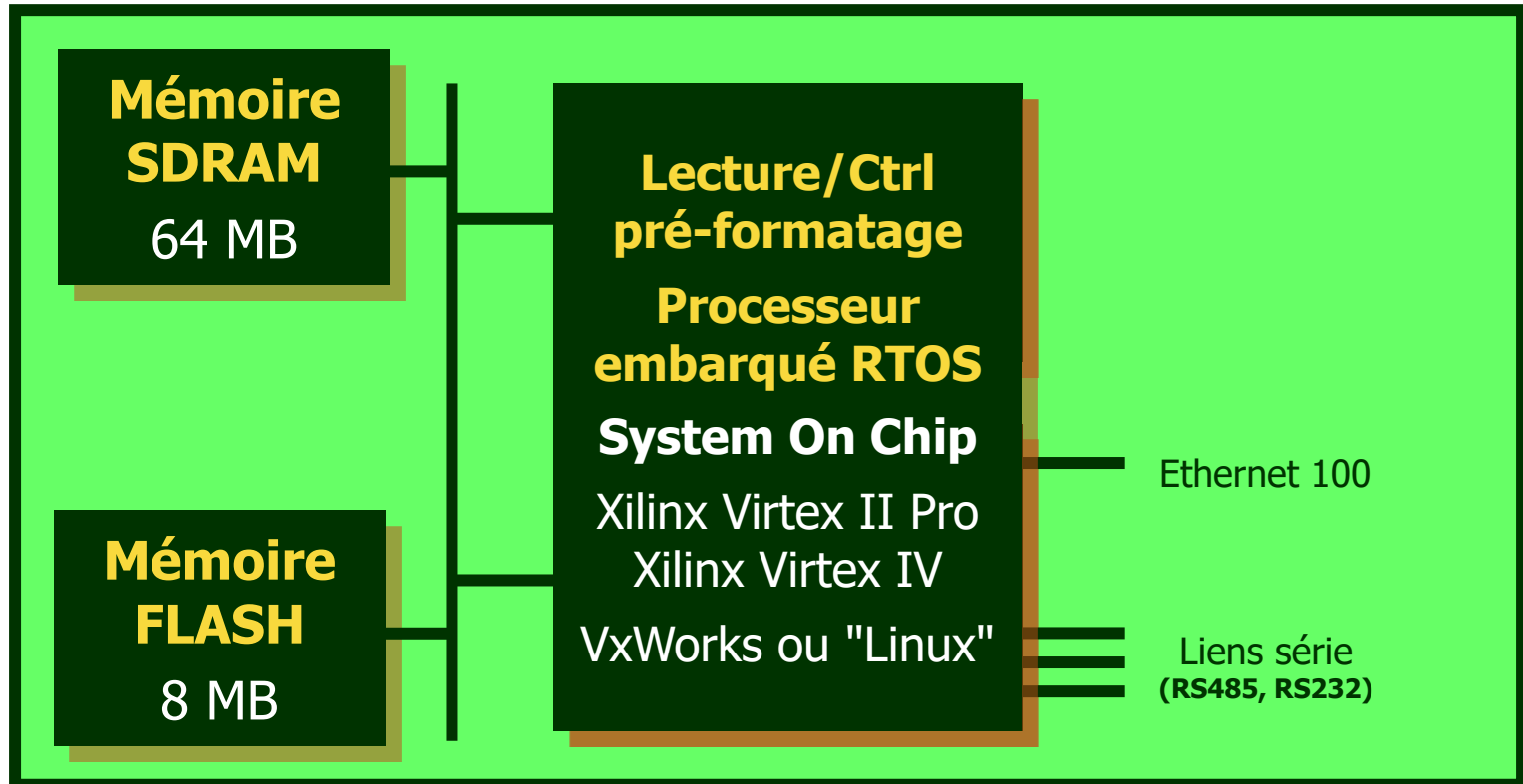


Topologie du réseau (2)



De ANTARES à KM3Net (100x)

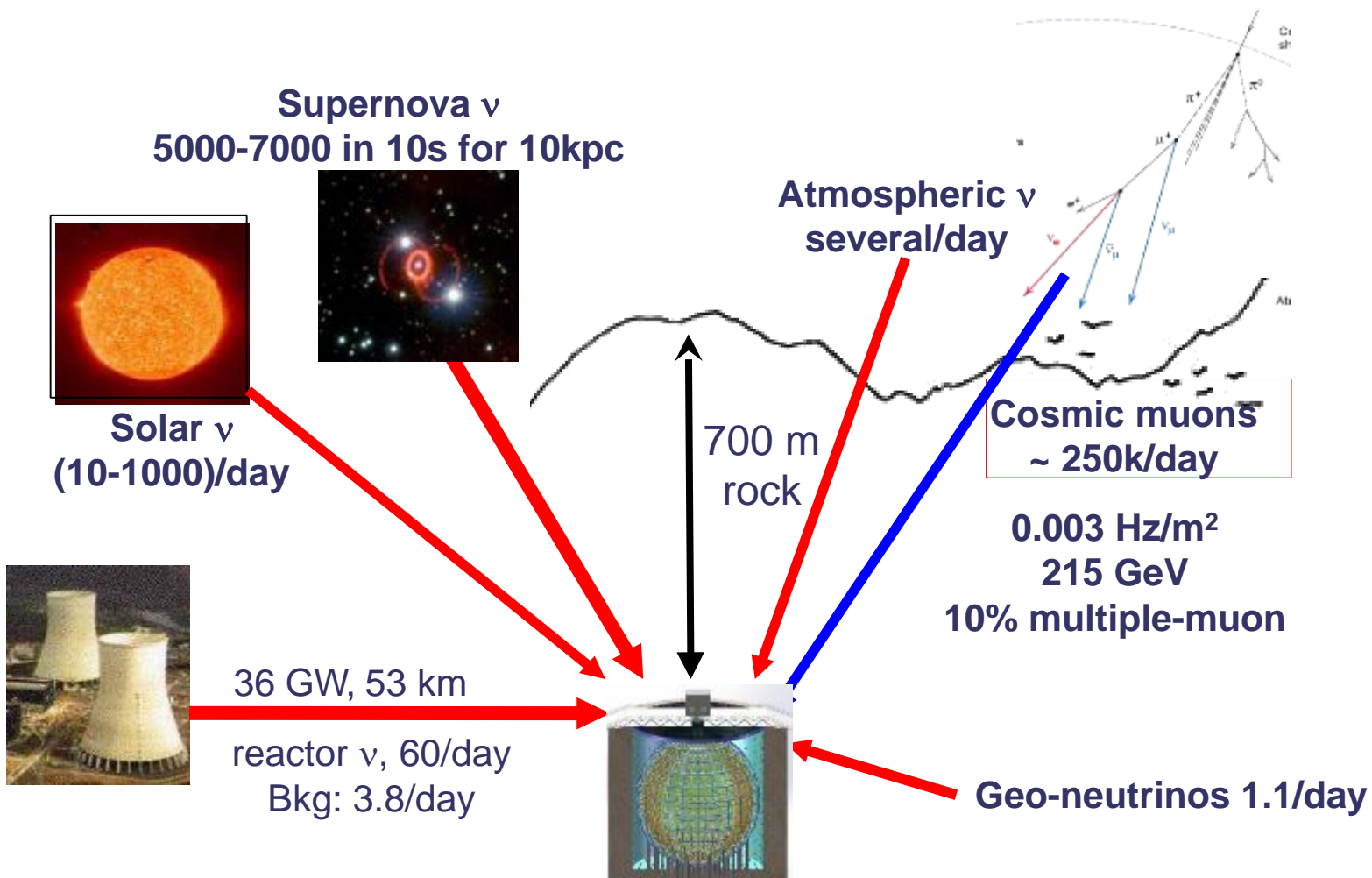
Evolution de la carte processeur



- **Consommation réduite**
- **Réduction du nombre de composants par carte**
⇒ **fiabilité accrue**

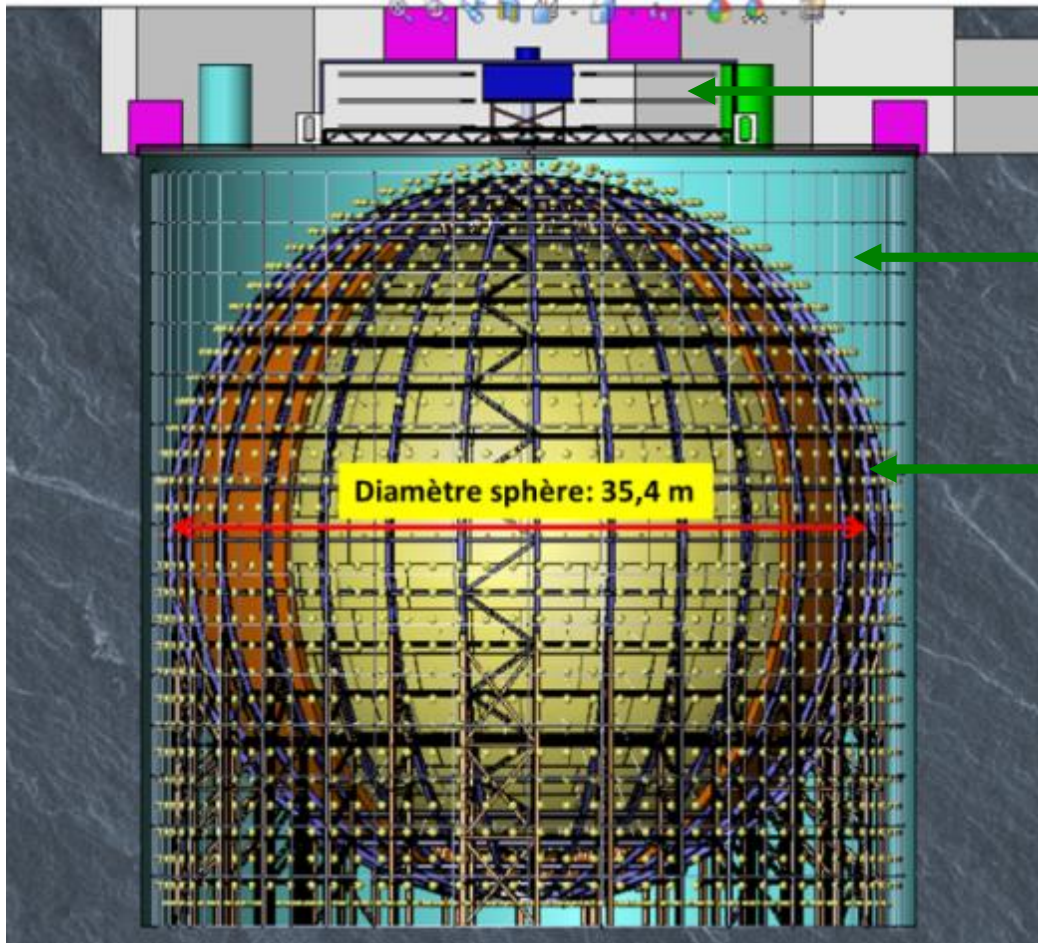
JUNO

Jiangmen Underground Neutrino Observatory



JUNO

Jiangmen Underground Neutrino Observatory



Top Tracker (veto à muons)

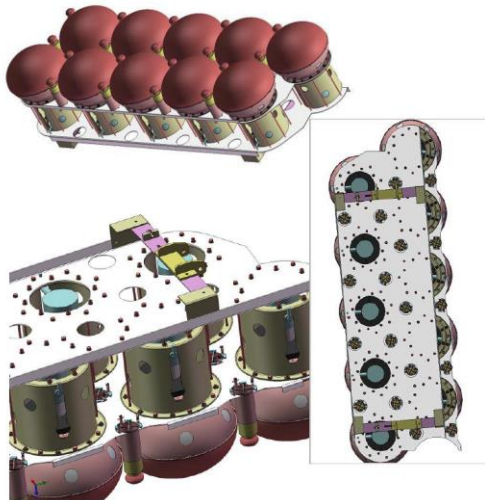
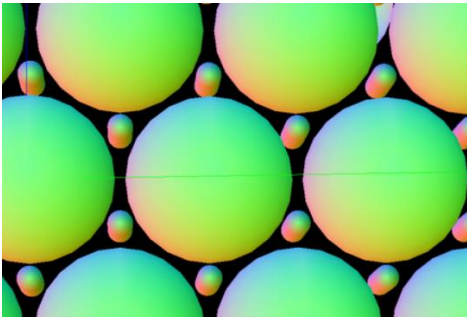
DéTECTEUR veto Cherenkov (eau pure avec
2000 PM 20", D=43m)

DéTECTEUR Central

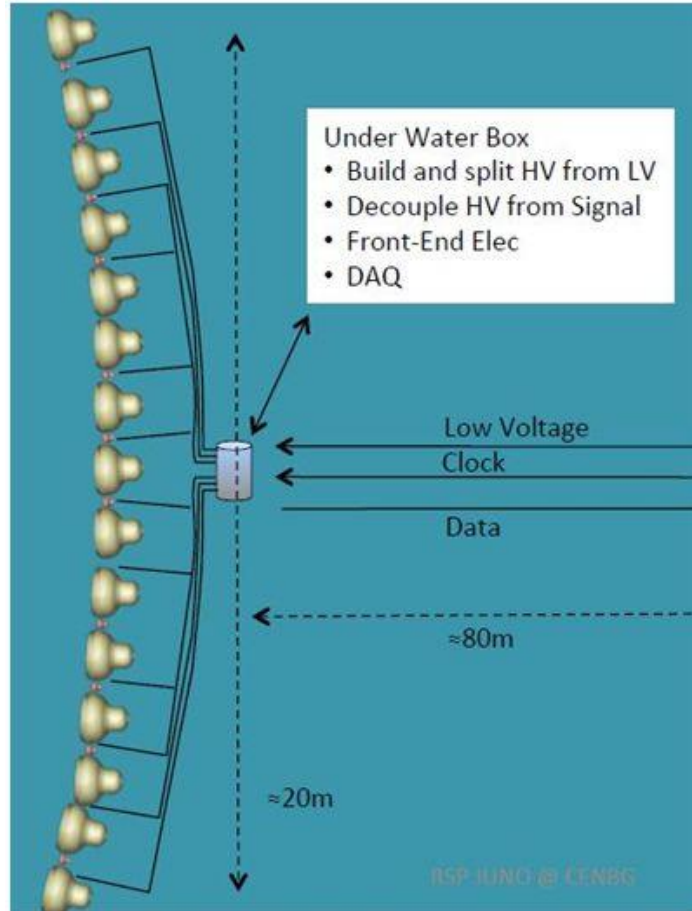
- 20 000 tonnes de liquide scintillant (D=35,4m)
 - Sphère en acrylique
 - 17500 PM 20" (LPMT)
 - 25000 PM 3" (SPMT)
 - Structure métallique

JUNO

Jiangmen Underground Neutrino Observatory

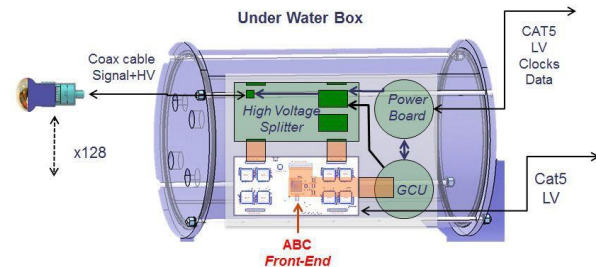


**Juno-sPMT
UWB à
construire**



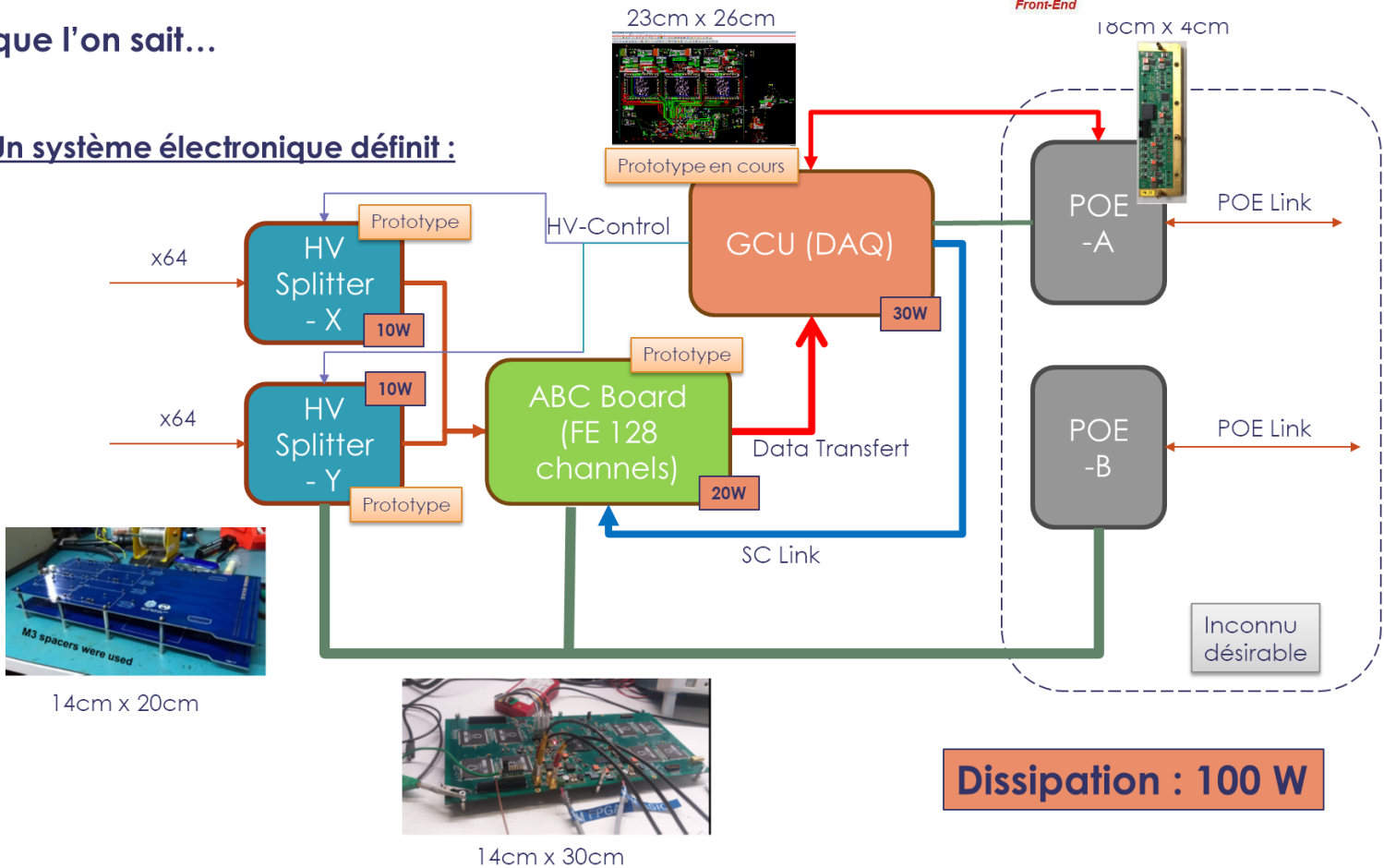
Up to 128 PMT ch./UWB :

- 25-35 kPMT \leftrightarrow 200-275 UWB
- About 15W Power on Ethernet

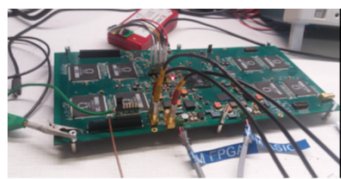


Ce que l'on sait...

Un système électronique définit :

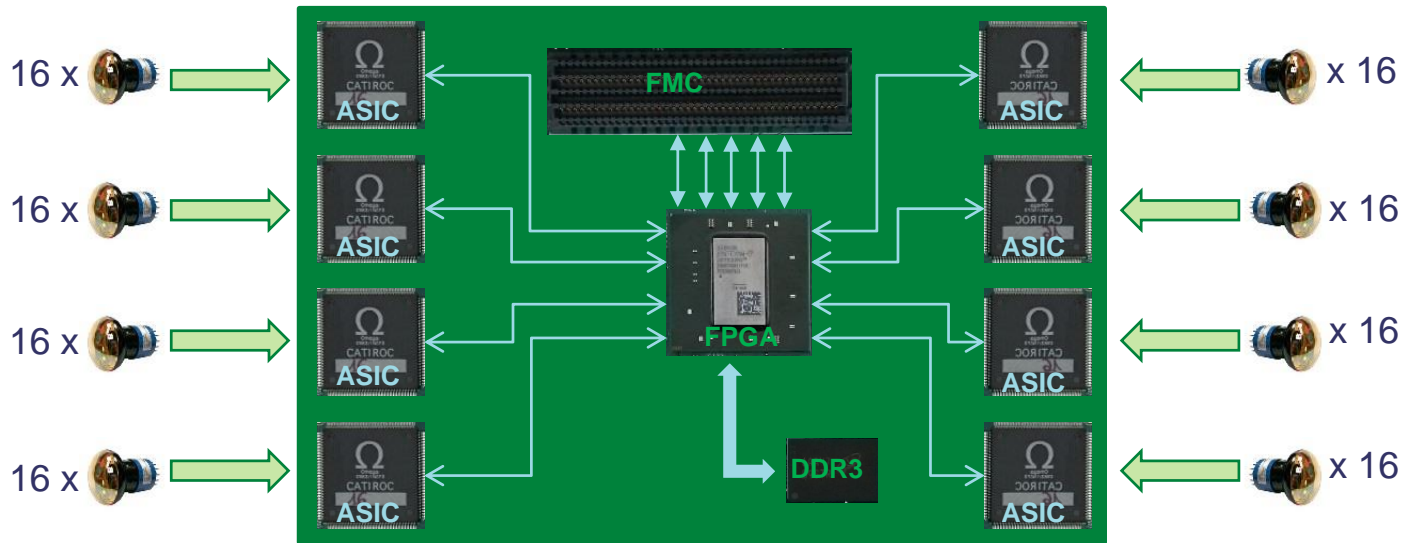


14cm x 20cm

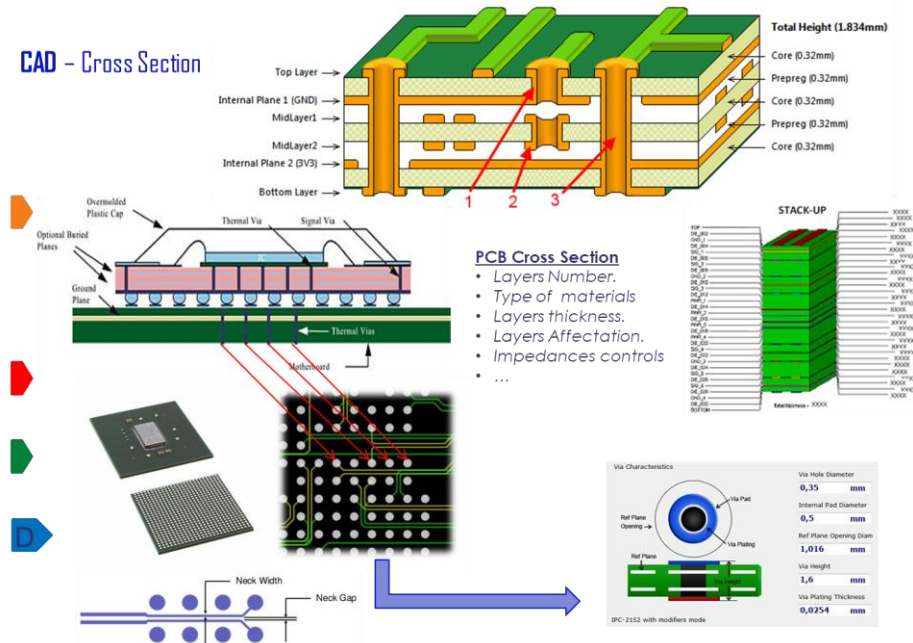


14cm x 30cm

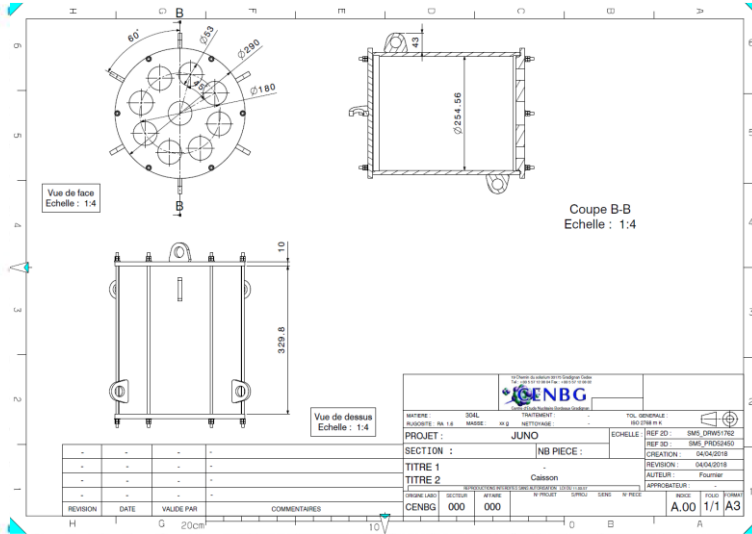
Dissipation : 100 W



CAD - Cross Section



Une boîte étanche pendant 15 ans :



Prototypes

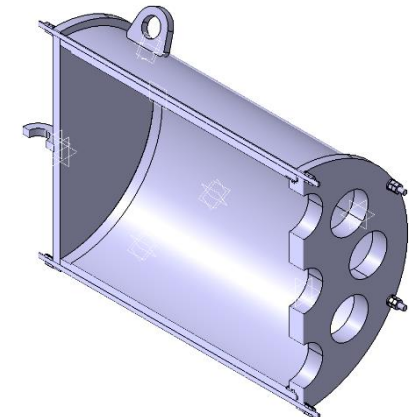


**IMMERSION PENDANT
15 ANS DANS UNE
PISCINE
FIXEE A LA STRUCTURE
MECANIQUE DE LA
SPHERE**

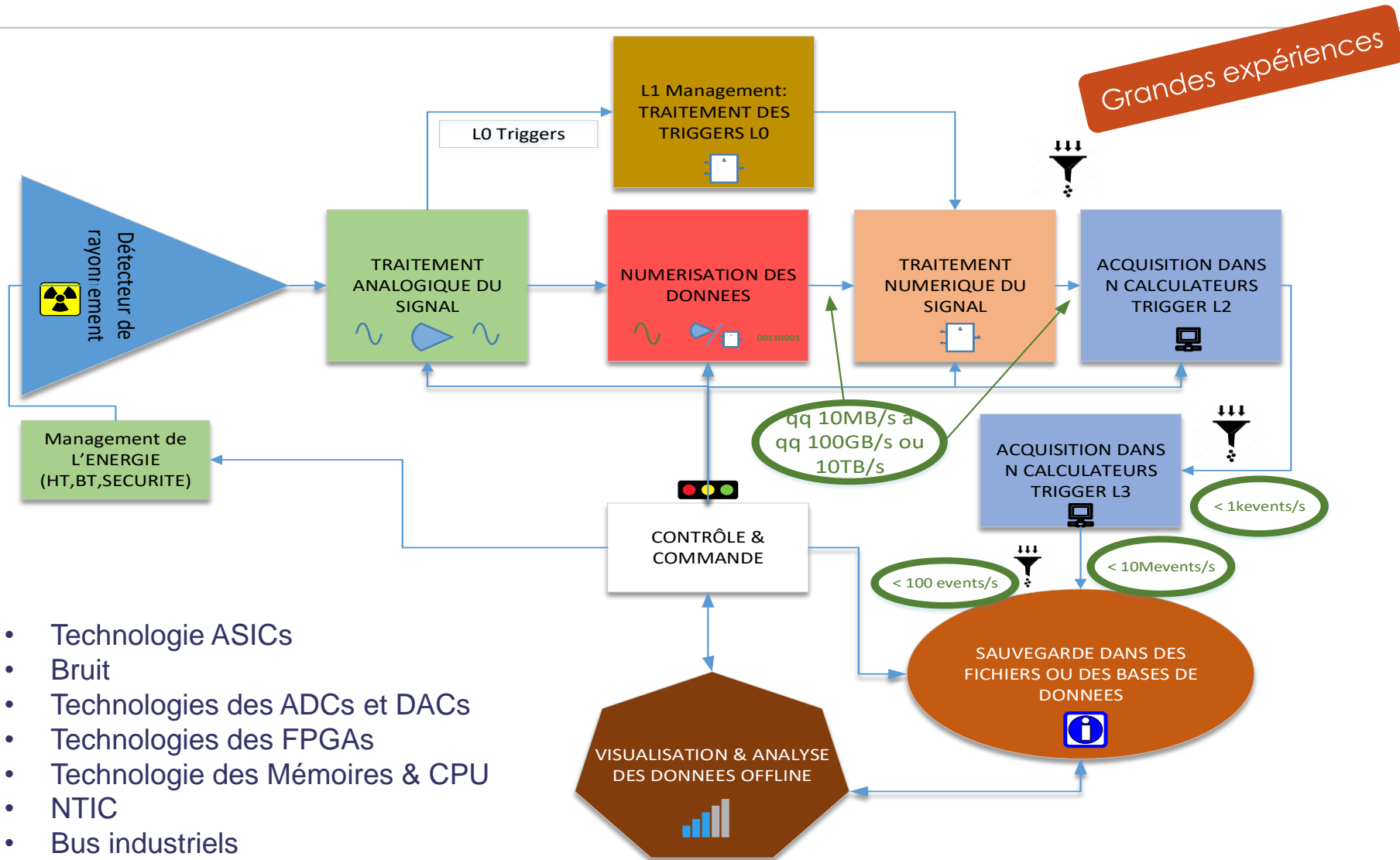


Test facility

- ✦ 60 cm \varnothing
- ✦ 200 cm long
- ✦ Up to 8 bars



Un Système d'acquisition actuel multicanaux



« Dominant Design »

Un métier technique

